

日 本 国 特 許 庁

PATENT OFFICE  
JAPANESE GOVERNMENT



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日  
Date of Application:

2000年 4月27日

出 願 番 号  
Application Number:

特願2000-127384

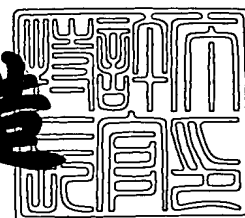
出 願 人  
Applicant(s):

株式会社半導体エネルギー研究所

2001年 3月 9日

特許庁長官  
Commissioner,  
Patent Office

及 川 耕 造



出証番号 出証特2001-3016973

【書類名】 特許願

【整理番号】 P004879

【提出日】 平成12年 4月27日

【あて先】 特許庁長官 殿

【発明者】

【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

【氏名】 犬飼 和隆

【特許出願人】

【識別番号】 000153878

【氏名又は名称】 株式会社半導体エネルギー研究所

【代表者】 山崎 舜平

【手数料の表示】

【予納台帳番号】 002543

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】明細書

【発明の名称】 電気光学装置

【特許請求の範囲】

【請求項 1】

ソース信号線駆動回路と、第 1 のゲート信号線駆動回路と、第 2 のゲート信号線駆動回路と、画素部とを有する電気光学装置であって、

前記画素部は複数の画素を有しており、

前記複数の画素は、E L 素子と、前記 E L 素子の発光をそれぞれ制御する第 1 の E L 駆動用 T F T 及び第 2 の E L 駆動用 T F T と、前記第 1 の E L 駆動用 T F T 及び第 2 の E L 駆動用 T F T の駆動を制御するスイッチング用 T F T 及び消去用 T F T とをそれぞれ有し、

前記第 1 の E L 駆動用 T F T と前記第 2 の E L 駆動用 T F T は並列に接続されており、

前記第 1 のゲート信号線駆動回路によって前記スイッチング用 T F T の駆動が制御され、

前記第 2 のゲート信号線駆動回路によって前記消去用 T F T の駆動が制御され

、  
前記スイッチング用 T F T または前記消去用 T F T によって前記 E L 素子の駆動が制御されることを特徴とする電気光学装置。

【請求項 2】

ソース信号線駆動回路と、第 1 のゲート信号線駆動回路と、第 2 のゲート信号線駆動回路と、画素部とを有する電気光学装置であって、

前記画素部は複数の画素を有しており、

前記複数の画素は、E L 素子と、前記 E L 素子の発光をそれぞれ制御する第 1 の E L 駆動用 T F T 及び第 2 の E L 駆動用 T F T と、前記第 1 の E L 駆動用 T F T 及び第 2 の E L 駆動用 T F T の駆動を制御するスイッチング用 T F T 及び消去用 T F T とをそれぞれ有し、

前記第 1 の E L 駆動用 T F T と前記第 2 の E L 駆動用 T F T は並列に接続されており、

前記第 1 のゲート信号線駆動回路によって前記スイッチング用 T F T の駆動が制御され、

前記第 2 のゲート信号線駆動回路によって前記消去用 T F T の駆動が制御され

、  
前記スイッチング用 T F T または前記消去用 T F T によって前記複数の E L 素子の発光する時間を制御することで階調表示を行うことを特徴とする電気光学装置。

【請求項 3】

ソース信号線駆動回路と、第 1 のゲート信号線駆動回路と、第 2 のゲート信号線駆動回路と、画素部とを有する電気光学装置であって、

前記画素部は複数の画素を有し、

前記複数の画素は、E L 素子と、スイッチング用 T F T と、消去用 T F T と、第 1 の E L 駆動用 T F T と、第 2 の E L 駆動用 T F T とをそれぞれ有し、

前記第 1 の E L 駆動用 T F T と前記第 2 の E L 駆動用 T F T は並列に接続されており、

前記第 1 のゲート信号線駆動回路から出力される第 1 のゲート信号によって前記スイッチング用 T F T の駆動が制御され、

前記第 2 のゲート信号線駆動回路から出力される第 2 のゲート信号によって前記消去用 T F T の駆動が制御され、

前記スイッチング用 T F T または前記消去用 T F T によって前記第 1 の E L 駆動用 T F T 及び前記第 2 の E L 駆動用 T F T の駆動が制御され、

前記第 1 の E L 駆動用 T F T 及び前記第 2 の E L 駆動用 T F T によって前記 E L 素子の駆動が制御されることを特徴とする電気光学装置。

【請求項 4】

ソース信号線駆動回路と、第 1 のゲート信号線駆動回路と、第 2 のゲート信号線駆動回路と、画素部とを有する電気光学装置であって、

前記画素部は複数の画素を有し、

前記複数の画素は、E L 素子と、スイッチング用 T F T と、消去用 T F T と、第 1 の E L 駆動用 T F T と、第 2 の E L 駆動用 T F T とをそれぞれ有し、

前記第 1 の E L 駆動用 T F T と前記第 2 の E L 駆動用 T F T は並列に接続されており、

前記第 1 のゲート信号線駆動回路から出力される第 1 のゲート信号によって前記スイッチング用 T F T の駆動が制御され、

前記第 2 のゲート信号線駆動回路から出力される第 2 のゲート信号によって前記消去用 T F T の駆動が制御され、

前記スイッチング用 T F T または前記消去用 T F T によって前記第 1 の E L 駆動用 T F T 及び前記第 2 の E L 駆動用 T F T の駆動が制御され、

前記第 1 の E L 駆動用 T F T 及び前記第 2 の E L 駆動用 T F T によって前記 E L 素子の発光する時間が制御されることで、階調表示が行われることを特徴とする電気光学装置。

【請求項 5】

ソース信号線駆動回路と、第 1 のゲート信号線駆動回路と、第 2 のゲート信号線駆動回路と、画素部と、前記ソース信号線駆動回路に接続された複数のソース信号線と、前記第 1 のゲート信号線駆動回路に接続された複数の第 1 のゲート信号線と、前記第 2 のゲート信号線駆動回路に接続された複数の第 2 のゲート信号線と、複数の電源供給線とを有する電気光学装置であって、

前記画素部は複数の画素を有しており、

前記複数の画素は、スイッチング用 T F T と、第 1 の E L 駆動用 T F T と、第 2 の E L 駆動用 T F T と、消去用 T F T と、E L 素子とをそれぞれ有し、

前記第 1 の E L 駆動用 T F T と前記第 2 の E L 駆動用 T F T は並列に接続されており、

前記スイッチング用 T F T が有するゲート電極は、前記複数の第 1 のゲート信号線のいずれか 1 つと接続されており、

前記スイッチング用 T F T が有するソース領域とドレイン領域は、一方は前記複数のソース信号線のいずれか 1 つと接続され、もう一方は前記第 1 の E L 駆動用 T F T が有するゲート電極及び前記第 2 の E L 駆動用 T F T が有するゲート電極と接続されており、

前記消去用 T F T が有するゲート電極は前記複数の第 2 のゲート信号線のいづ

れか 1 つと接続されており、

前記消去用 T F T が有するソース領域とドレイン領域は、一方は前記電源供給線と接続され、もう一方は前記 E L 駆動用 T F T が有するゲート電極と接続されており、

前記第 1 の E L 駆動用 T F T が有するソース領域及び前記第 2 の E L 駆動用 T F T が有するソース領域は前記電源供給線に接続されており、

前記第 1 の E L 駆動用 T F T が有するドレイン領域及び前記第 2 の E L 駆動用 T F T が有するドレイン領域は前記 E L 素子に接続されていることを特徴とする電気光学装置。

【請求項 6】

ソース信号線駆動回路と、第 1 のゲート信号線駆動回路と、第 2 のゲート信号線駆動回路と、画素部と、前記ソース信号線駆動回路に接続された複数のソース信号線と、前記第 1 のゲート信号線駆動回路に接続された複数の第 1 のゲート信号線と、前記第 2 のゲート信号線駆動回路に接続された複数の第 2 のゲート信号線と、複数の電源供給線とを有する電気光学装置であって、

前記画素部は複数の画素を有しており、

前記複数の画素は、スイッチング用 T F T と、第 1 の E L 駆動用 T F T と、第 2 の E L 駆動用 T F T と、消去用 T F T と、E L 素子とをそれぞれ有し、

前記第 1 の E L 駆動用 T F T と前記第 2 の E L 駆動用 T F T は並列に接続されており、

前記スイッチング用 T F T が有するゲート電極は、前記複数の第 1 のゲート信号線のいずれか 1 つと接続されており、

前記スイッチング用 T F T が有するソース領域とドレイン領域は、一方は前記複数のソース信号線のいずれか 1 つと接続され、もう一方は前記第 1 の E L 駆動用 T F T が有するゲート電極及び前記第 2 の E L 駆動用 T F T が有するゲート電極と接続されており、

前記消去用 T F T が有するゲート電極は前記複数の第 2 のゲート信号線のいずれか 1 つと接続されており、

前記消去用 T F T が有するソース領域とドレイン領域は、一方は前記電源供給

線と接続され、もう一方は前記 E L 駆動用 T F T が有するゲート電極と接続されており、

前記第 1 の E L 駆動用 T F T が有するソース領域及び前記第 2 の E L 駆動用 T F T が有するソース領域は前記電源供給線に接続されており、

前記第 1 の E L 駆動用 T F T が有するドレイン領域及び前記第 2 の E L 駆動用 T F T が有するドレイン領域は前記 E L 素子に接続されており、

1 フレーム期間内に  $n$  個の書き込み期間  $T a 1$ 、 $T a 2$ 、 $\dots$ 、 $T a n$  と、 $(m-1)$  個の消去期間  $T e 1$ 、 $T e 2$ 、 $\dots$ 、 $T e (m-1)$  ( $m$  は 2 から  $n$  までの任意の数) とが設けられており、

前記書き込み期間  $T a 1$ 、 $T a 2$ 、 $\dots$ 、 $T a n$  において、前記ソース信号線駆動回路から出力されたデジタルビデオ信号が前記第 1 の E L 駆動用 T F T が有するゲート電極及び前記第 2 の E L 駆動用 T F T が有するゲート電極に入力され

前記消去期間  $T e 1$ 、 $T e 2$ 、 $\dots$ 、 $T e (m-1)$  において、前記第 1 の E L 駆動用 T F T が有するゲート電極及び前記第 2 の E L 駆動用 T F T が有するゲート電極に入力された前記デジタルビデオ信号が消去され、

前記書き込み期間  $T a 1$ 、 $T a 2$ 、 $\dots$ 、 $T a n$  のうち、書き込み期間  $T a 1$ 、 $T a 2$ 、 $\dots$ 、 $T a m$  と、前記消去期間  $T e 1$ 、 $T e 2$ 、 $\dots$ 、 $T e (m-1)$  とはそれぞれ互いに一部重なっており

前記書き込み期間  $T a 1$ 、 $T a 2$ 、 $\dots$ 、 $T a n$  のそれぞれが開始されてから、前記書き込み期間  $T a 1$ 、 $T a 2$ 、 $\dots$ 、 $T a n$  のそれぞれの次に出現する書き込み期間もしくは消去期間が開始されるまでの期間が表示期間  $T r 1$ 、 $T r 2$ 、 $\dots$ 、 $T r (m-1)$  であり、

前記消去期間  $T e 1$ 、 $T e 2$ 、 $\dots$ 、 $T e (m-1)$  のそれぞれが開始されてから、前記消去期間  $T e 1$ 、 $T e 2$ 、 $\dots$ 、 $T e (m-1)$  のそれぞれの次に出現する書き込み期間が開始されるまでの期間が非表示期間  $T d 1$ 、 $T d 2$ 、 $\dots$ 、 $T d n$  であり、

前記デジタルビデオ信号によって、前記表示期間  $T r 1$ 、 $T r 2$ 、 $\dots$ 、 $T r n$  において前記複数の E L 素子が発光するか発光しないかが選択され、

前記表示期間  $T_{r1}$ 、 $T_{r2}$ 、…、 $T_{rn}$  の長さの比は、 $2^0 : 2^1 : \dots : 2^{(n-1)}$  で表されることを特徴とする電気光学装置。

【請求項 7】

請求項 7 において、

前記表示期間  $T_{r1}$ 、 $T_{r2}$ 、…、 $T_{rn}$  が出現する順序がランダムであることを特徴とする電気光学装置。

【請求項 8】

請求項 7 または請求項 8 において、

前記非表示期間  $T_{d1}$ 、 $T_{d2}$ 、…、 $T_{dn}$  のうち一番長い非表示期間が、フレーム期間中において一番最後に出現することを特徴とする電気光学装置。

【請求項 9】

請求項 7 乃至請求項 9 のいずれか 1 項において、前記書き込み期間  $T_{a1}$ 、 $T_{a2}$ 、…、 $T_{an}$  は互いに重なっていないことを特徴とする電気光学装置。

【請求項 10】

請求項 7 乃至請求項 10 のいずれか 1 項において、前記消去期間  $T_{e1}$ 、 $T_{e2}$ 、…、 $T_{e(m-1)}$  は互いに重なっていないことを特徴とする電気光学装置。

【請求項 11】

ソース信号線駆動回路と、第 1 のゲート信号線駆動回路と、第 2 のゲート信号線駆動回路と、画素部と、前記ソース信号線駆動回路に接続された複数のソース信号線と、前記第 1 のゲート信号線駆動回路に接続された複数の第 1 のゲート信号線と、前記第 2 のゲート信号線駆動回路に接続された複数の第 2 のゲート信号線と、複数の電源供給線とを有する電気光学装置であって、

前記画素部は複数の画素を有しており、

前記複数の画素は、スイッチング用 TFT と、第 1 の EL 駆動用 TFT と、第 2 の EL 駆動用 TFT と、消去用 TFT と、EL 素子とをそれぞれ有し、

前記第 1 の EL 駆動用 TFT と前記第 2 の EL 駆動用 TFT は並列に接続されており、

前記 EL 素子は、画素電極と、一定の電位に保たれた対向電極と、前記画素電



極と前記対向電極の間に設けられた E L 層とを有しており、

前記スイッチング用 T F T が有するゲート電極は、前記複数の第 1 のゲート信号線のいずれか 1 つと接続されており、

前記スイッチング用 T F T が有するソース領域とドレイン領域は、一方は前記複数のソース信号線のいずれか 1 つと接続され、もう一方は前記第 1 の E L 駆動用 T F T が有するゲート電極及び前記第 2 の E L 駆動用 T F T が有するゲート電極と接続されており、

前記消去用 T F T が有するゲート電極は前記複数の第 2 のゲート信号線のいずれか 1 つと接続されており、

前記消去用 T F T が有するソース領域とドレイン領域は、一方は前記電源供給線と接続され、もう一方は前記 E L 駆動用 T F T が有するゲート電極と接続されており、

前記第 1 の E L 駆動用 T F T が有するソース領域及び前記第 2 の E L 駆動用 T F T が有するソース領域は前記電源供給線に接続されており、

前記第 1 の E L 駆動用 T F T が有するドレイン領域及び前記第 2 の E L 駆動用 T F T が有するドレイン領域は前記 E L 素子が有する画素電極に接続されていることを特徴とする電気光学装置。

【請求項 1 2】

ソース信号線駆動回路と、第 1 のゲート信号線駆動回路と、第 2 のゲート信号線駆動回路と、画素部と、前記ソース信号線駆動回路に接続された複数のソース信号線と、前記第 1 のゲート信号線駆動回路に接続された複数の第 1 のゲート信号線と、前記第 2 のゲート信号線駆動回路に接続された複数の第 2 のゲート信号線と、複数の電源供給線とを有する電気光学装置であって、

前記画素部は複数の画素を有しており、

前記複数の画素は、スイッチング用 T F T と、第 1 の E L 駆動用 T F T と、第 2 の E L 駆動用 T F T と、消去用 T F T と、E L 素子とをそれぞれ有し、

前記第 1 の E L 駆動用 T F T と前記第 2 の E L 駆動用 T F T は並列に接続されており、

前記 E L 素子は、画素電極と、一定の電位に保たれた対向電極と、前記画素電

極と前記対向電極の間に設けられた E L 層とを有しており、

前記スイッチング用 T F T が有するゲート電極は、前記複数の第 1 のゲート信号線のいずれか 1 つと接続されており、

前記スイッチング用 T F T が有するソース領域とドレイン領域は、一方は前記複数のソース信号線のいずれか 1 つと接続され、もう一方は前記第 1 の E L 駆動用 T F T が有するゲート電極及び前記第 2 の E L 駆動用 T F T が有するゲート電極と接続されており、

前記消去用 T F T が有するゲート電極は前記複数の第 2 のゲート信号線のいずれか 1 つと接続されており、

前記消去用 T F T が有するソース領域とドレイン領域は、一方は前記電源供給線と接続され、もう一方は前記 E L 駆動用 T F T が有するゲート電極と接続されており、

前記第 1 の E L 駆動用 T F T が有するソース領域及び前記第 2 の E L 駆動用 T F T が有するソース領域は前記電源供給線に接続されており、

前記第 1 の E L 駆動用 T F T が有するドレイン領域及び前記第 2 の E L 駆動用 T F T が有するドレイン領域は前記 E L 素子が有する画素電極に接続されており

1 フレーム期間内に  $n$  個の書き込み期間  $T a 1$ 、 $T a 2$ 、 $\dots$ 、 $T a n$  と、 $(m-1)$  個の消去期間  $T e 1$ 、 $T e 2$ 、 $\dots$ 、 $T e (m-1)$  ( $m$  は 2 から  $n$  までの任意の数) とが設けられており、

前記書き込み期間  $T a 1$ 、 $T a 2$ 、 $\dots$ 、 $T a n$  において、前記ソース信号線駆動回路から出力されたデジタルビデオ信号が前記第 1 の E L 駆動用 T F T が有するゲート電極及び前記第 2 の E L 駆動用 T F T が有するゲート電極に入力され

前記消去期間  $T e 1$ 、 $T e 2$ 、 $\dots$ 、 $T e (m-1)$  において、前記第 1 の E L 駆動用 T F T が有するゲート電極及び前記第 2 の E L 駆動用 T F T が有するゲート電極に入力された前記デジタルビデオ信号が消去され、

前記書き込み期間  $T a 1$ 、 $T a 2$ 、 $\dots$ 、 $T a n$  のうち、書き込み期間  $T a 1$ 、 $T a 2$ 、 $\dots$ 、 $T a m$  と、前記消去期間  $T e 1$ 、 $T e 2$ 、 $\dots$ 、 $T e (m-1)$

とはそれぞれ互いに一部重なっており

前記書き込み期間  $T a 1$ 、 $T a 2$ 、 $\dots$ 、 $T a n$ のそれぞれが開始されてから、前記書き込み期間  $T a 1$ 、 $T a 2$ 、 $\dots$ 、 $T a n$ のそれぞれの次に出現する書き込み期間もしくは消去期間が開始されるまでの期間が表示期間  $T r 1$ 、 $T r 2$ 、 $\dots$ 、 $T r (m-1)$ であり、

前記消去期間  $T e 1$ 、 $T e 2$ 、 $\dots$ 、 $T e (m-1)$ のそれぞれが開始されてから、前記消去期間  $T e 1$ 、 $T e 2$ 、 $\dots$ 、 $T e (m-1)$ のそれぞれの次に出現する書き込み期間が開始されるまでの期間が非表示期間  $T d 1$ 、 $T d 2$ 、 $\dots$ 、 $T d n$ であり、

前記デジタルビデオ信号によって、前記表示期間  $T r 1$ 、 $T r 2$ 、 $\dots$ 、 $T r n$ において前記複数の E L 素子が発光するか発光しないかが選択され、

前記表示期間  $T r 1$ 、 $T r 2$ 、 $\dots$ 、 $T r n$ の長さの比は、 $2^0 : 2^1 : \dots : 2^{(n-1)}$ で表されることを特徴とする電気光学装置。

【請求項 1 3】

請求項 1 2 において、

前記表示期間  $T r 1$ 、 $T r 2$ 、 $\dots$ 、 $T r n$ が出現する順序がランダムであることを特徴とする電気光学装置。

【請求項 1 4】

請求項 1 2 または請求項 1 3 において、

前記非表示期間  $T d 1$ 、 $T d 2$ 、 $\dots$ 、 $T d n$ のうち一番長い非表示期間が、フレーム期間中において一番最後に出現することを特徴とする電気光学装置。

【請求項 1 5】

請求項 1 2 乃至請求項 1 4 のいずれか 1 項において、前記書き込み期間  $T a 1$ 、 $T a 2$ 、 $\dots$ 、 $T a n$ は互いに重なっていないことを特徴とする電気光学装置。

【請求項 1 6】

請求項 1 2 乃至請求項 1 5 のいずれか 1 項において、前記消去期間  $T e 1$ 、 $T e 2$ 、 $\dots$ 、 $T e (m-1)$ は互いに重なっていないことを特徴とする電気光学装置。

【請求項 1 7】

請求項 1 1 乃至請求項 1 6 のいずれか 1 項において、前記 E L 層は低分子系有機物質またはポリマー系有機物質であることを特徴とする電気光学装置。

【請求項 1 8】

請求項 1 7 において、前記低分子系有機物質は、Alq<sub>3</sub>（トリス-8-キノリライト-アルミニウム）またはTPD（トリフェニルアミン誘導体）からなることを特徴とする電気光学装置。

【請求項 1 9】

請求項 1 7 において、前記ポリマー系有機物質は、PPV（ポリフェニレンビニレン）、PVK（ポリビニルカルバゾール）またはポリカーボネートからなることを特徴とする電気光学装置。

【請求項 2 0】

請求項 1 1 乃至請求項 1 9 のいずれか 1 項において、前記画素電極が陽極である場合、前記第 1 の E L 駆動用 TFT 及び前記第 2 の E L 駆動用 TFT は p チャネル型 TFT であることを特徴とする電気光学装置。

【請求項 2 1】

請求項 1 1 乃至請求項 1 9 のいずれか 1 項において、前記画素電極が陰極である場合、前記第 1 の E L 駆動用 TFT 及び前記第 2 の E L 駆動用 TFT は n チャネル型 TFT であることを特徴とする電気光学装置。

【請求項 2 2】

請求項 1 1 乃至請求項 2 1 のいずれか 1 項において、前記画素電極と、前記第 1 の E L 駆動用 TFT が有するドレイン領域及び前記第 2 の E L 駆動用 TFT が有するドレイン領域とは、直接、もしくは少なくとも 1 つの配線を介して接続されており、

前記画素電極が、前記第 1 の E L 駆動用 TFT が有するドレイン領域及び前記第 2 の E L 駆動用 TFT が有するドレイン領域、もしくは前記少なくとも 1 つの配線と接続している領域の上にバンクが形成されていることを特徴とする電気光学装置。

【請求項 2 3】

請求項 2 2 において、前記バンクは遮光性を有していることを特徴とする電気光学装置。

【請求項 2 4】

請求項 5 乃至請求項 2 3 のいずれか 1 項において、

前記第 1 の E L 駆動用 T F T が有するゲート電極及び前記第 2 の E L 駆動用 T F T が有するゲート電極に接続されたゲート配線と、前記複数の電源供給線のうちいずれか 1 つと接続された容量配線とを有し、

前記スイッチング用 T F T、前記消去用 T F T、前記第 1 の E L 駆動用 T F T 及び前記第 2 の E L 駆動用 T F T が有するゲート絶縁膜が、前記ゲート配線と前記容量配線との間に設けられていることを特徴とする電気光学装置。

【請求項 2 5】

請求項 5 乃至請求項 2 4 のいずれか 1 項において、前記複数の画素のうち、前記複数のゲート信号線が設けられている方向に沿って並んでいるいずれか 2 つの画素は、前記複数の電源供給線のうちのいずれか 1 つを挟んで隣り合っており、前記 2 つの画素がそれぞれ有する第 1 の E L 駆動用 T F T のソース領域及び第 2 の E L 駆動用 T F T のソース領域は、前記複数の電源供給線のうちのいずれか 1 つに接続されていることを特徴とする電気光学装置。

【請求項 2 6】

請求項 5 乃至請求項 2 4 のいずれか 1 項において、前記複数のゲート信号線が設けられている方向に沿って並んでいるいずれか 2 つの画素は、前記複数の電源供給線のうちのいずれか 1 つを挟んで隣り合っており、前記複数の第 2 のゲート信号線のうちのいずれか 1 つを挟んで隣り合っており、前記 2 つの画素がそれぞれ有する第 1 の E L 駆動用 T F T のゲート電極及び第 2 の E L 駆動用 T F T のゲート電極は、前記複数の第 2 のゲート信号線のうちのいずれか 1 つに接続されていることを特徴とする電気光学装置。

【請求項 2 7】

請求項 5 乃至請求項 2 6 のいずれか 1 項において、前記複数の第 1 のゲート信号線と、前記複数の第 2 のゲート信号線は平行に設けられていることを特徴とす

る電気光学装置。

【請求項 2 8】

請求項 2 7 において、前記複数の第 1 のゲート信号線と、前記複数の第 2 のゲート信号線が、絶縁膜を間に挟んで重なっていることを特徴とする電気光学装置。

【請求項 2 9】

請求項 5 乃至請求項 2 8 のいずれか 1 項において、前記複数のソース信号線と、前記複数の電源供給線は平行に設けられていることを特徴とする電気光学装置。

【請求項 3 0】

請求項 2 9 において、前記複数のソース信号線と、前記複数の電源供給線が、間に絶縁膜を挟んで重なっていることを特徴とする電気光学装置。

【請求項 3 1】

請求項 5 乃至請求項 3 0 のいずれか 1 項において、前記複数の第 1 のゲート信号線と、前記複数の電源供給線は平行に設けられていることを特徴とする電気光学装置。

【請求項 3 2】

請求項 3 1 において、前記複数の第 1 のゲート信号線と、前記複数の電源供給線が、間に絶縁膜を挟んで重なっていることを特徴とする電気光学装置。

【請求項 3 3】

請求項 5 乃至請求項 3 2 のいずれか 1 項において、前記複数の第 2 のゲート信号線と、前記複数の電源供給線は平行に設けられていることを特徴とする電気光学装置。

【請求項 3 4】

請求項 3 3 において、前記複数の第 2 のゲート信号線と、前記複数の電源供給線が、間に絶縁膜を挟んで重なっていることを特徴とする電気光学装置。

【請求項 3 5】

請求項 1 乃至請求項 3 4 のいずれか 1 項において、前記第 1 の E L 駆動用 T F T 及び前記第 2 の E L 駆動用 T F T は同じ極性を有することを特徴とする電気光

学装置。

【請求項 3 6】

請求項 1 乃至請求項 3 5 のいずれか 1 項において、前記スイッチング用 T F T、前記消去用 T F T、前記第 1 の E L 駆動用 T F T または前記第 2 の E L 駆動用 T F T がトップゲート型の T F T であることを特徴とする電気光学装置。

【請求項 3 7】

請求項 1 乃至請求項 3 6 のいずれか 1 項において、前記スイッチング用 T F T、前記消去用 T F T、前記第 1 の E L 駆動用 T F T または前記第 2 の E L 駆動用 T F T がボトムゲート型の T F T であることを特徴とする電気光学装置。

【請求項 3 8】

請求項 1 乃至請求項 3 7 のいずれか 1 項において、前記ソース信号線駆動回路はシフトレジスタ、第 1 のラッチ及び第 2 のラッチを有していることを特徴とする電気光学装置。

【請求項 3 9】

請求項 3 8 において、前記第 1 のラッチまたは前記第 2 のラッチは、2 つのクロックドインバーターと、2 つのインバーターとを有していることを特徴とする電気光学装置。

【請求項 4 0】

請求項 1 乃至請求項 3 9 のいずれか 1 項において、前記第 1 の E L 駆動用 T F T または前記第 2 の E L 駆動用 T F T は、線形領域で駆動することを特徴とする電気光学装置

【請求項 4 1】

請求項 1 乃至請求項 4 0 のいずれか 1 項において、コンピューターであることを特徴とする電気光学装置。

【請求項 4 2】

請求項 1 乃至請求項 4 0 のいずれか 1 項において、ビデオカメラであることを特徴とする電気光学装置。

【請求項 4 3】

請求項 1 乃至請求項 4 0 のいずれか 1 項において、DVD プレーヤーであるこ

とを特徴とする電気光学装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明はE L（エレクトロルミネッセンス）素子を基板上に作り込んで形成された電子ディスプレイに関する。特に半導体素子（半導体薄膜を用いた素子）を用いたE Lディスプレイに関する。またE Lディスプレイを表示部に用いた電気光学装置に関する。

【0002】

【従来の技術】

近年、基板上にT F Tを形成する技術が大幅に進歩し、アクティブマトリクス型の電子ディスプレイへの応用開発が進められている。特に、ポリシリコン膜を用いたT F Tは、従来のアモルファスシリコン膜を用いたT F Tよりも電界効果移動度（モビリティともいう）が高いので、高速動作が可能である。そのため、従来基板の外に設けられた駆動回路で行っていた画素の制御を、画素と同一の基板上に形成した駆動回路で行うことが可能となっている。

【0003】

このようなアクティブマトリクス型の電子ディスプレイは、同一基板上に様々な回路や素子を作り込むことで製造コストの低減、電子ディスプレイの小型化、歩留まりの上昇、スループットの低減など、様々な利点が得られる。

【0004】

そしてさらに、自発光型素子としてE L素子を有したアクティブマトリクス型のE Lディスプレイの研究が活発化している。E Lディスプレイは有機E Lディスプレイ（O E L D : Organic EL Display）又は有機ライトエミッティングダイオード（O L E D : Organic Light Emitting Diode）とも呼ばれている。

【0005】

E Lディスプレイは、液晶ディスプレイと異なり自発光型である。E L素子是一对の電極（陽極と陰極）間にE L層が挟まれた構造となっているが、E L層は通常、積層構造となっている。代表的には、コダック・イーストマン・カンパニ



一のTangらが提案した「正孔輸送層／発光層／電子輸送層」という積層構造が挙げられる。この構造は非常に発光効率が高く、現在、研究開発が進められているE Lディスプレイは殆どこの構造を採用している。

【 0 0 0 6 】

また他にも、陽極上に正孔注入層／正孔輸送層／発光層／電子輸送層、または正孔注入層／正孔輸送層／発光層／電子輸送層／電子注入層の順に積層する構造でも良い。発光層に対して蛍光性色素等をドーピングしても良い。

【 0 0 0 7 】

本明細書において陰極と陽極の間に設けられる全ての層を総称してE L層と呼ぶ。よって上述した正孔注入層、正孔輸送層、発光層、電子輸送層、電子注入層等は、全てE L層に含まれる。

【 0 0 0 8 】

そして、上記構造でなるE L層に一对の電極から所定の電圧をかけ、それにより発光層においてキャリアの再結合が起こって発光する。なお本明細書においてE L素子が発光することを、E L素子が駆動すると呼ぶ。また、本明細書中では、陽極、E L層及び陰極で形成される発光素子をE L素子と呼ぶ。

【 0 0 0 9 】

E Lディスプレイの駆動方法として、アナログ方式の駆動方法（アナログ駆動）が挙げられる。E Lディスプレイのアナログ駆動について、図 2 5 及び図 2 6 を用いて説明する。

【 0 0 1 0 】

図 2 5 にアナログ駆動のE Lディスプレイの画素部の構造を示す。ゲート信号線駆動回路からのゲート信号を入力するゲート信号線（G 1 ～G y）は、各画素が有するスイッチング用T F T 1 8 0 1 のゲート電極に接続されている。また各画素の有するスイッチング用T F T 1 8 0 1 のソース領域とドレイン領域は、一方がアナログのビデオ信号を入力するソース信号線（データ信号線ともいう）S 1 ～S x に、もう一方が各画素が有するE L駆動用T F T 1 8 0 4 のゲート電極及び各画素が有するコンデンサ 1 8 0 8 にそれぞれ接続されている。

【 0 0 1 1 】

各画素が有する E L 駆動用 T F T 1 8 0 4 のソース領域は電源供給線 V 1 ~ V x に接続されており、ドレイン領域は E L 素子 1 8 0 6 に接続されている。電源供給線 V 1 ~ V x の電位を電源電位と呼ぶ。また電源供給線 V 1 ~ V x は、各画素が有するコンデンサ 1 8 0 8 に接続されている。

## 【 0 0 1 2 】

E L 素子 1 8 0 6 は陽極と、陰極と、陽極と陰極の間に設けられた E L 層とを有する。E L 素子 1 8 0 6 の陽極が E L 駆動用 T F T 1 8 0 4 のドレイン領域と接続している場合、E L 素子 1 8 0 6 の陽極が画素電極、陰極が対向電極となる。逆に E L 素子 1 8 0 6 の陰極が E L 駆動用 T F T 1 8 0 4 のドレイン領域と接続している場合、E L 素子 1 8 0 6 の陽極が対向電極、陰極が画素電極となる。

## 【 0 0 1 3 】

なお本明細書において、対向電極の電位を対向電位と呼ぶ。なお対向電極に対向電位を与える電源を対向電源と呼ぶ。画素電極の電位と対向電極の電位の電位差が E L 駆動電圧であり、この E L 駆動電圧が E L 層にかかる。

## 【 0 0 1 4 】

図 2 5 で示した E L ディスプレイを、アナログ方式で駆動させた場合のタイミングチャートを図 2 6 に示す。1 つのゲート信号線が選択されてから、その次に別のゲート信号線が選択されるまでの期間を 1 ライン期間 ( L ) と呼ぶ。また 1 つの画像が表示されてから次の画像が表示されるまでの期間が 1 フレーム期間 ( F ) に相当する。図 2 5 の E L ディスプレイの場合、ゲート信号線は y 本あるので、1 フレーム期間中に y 個のライン期間 ( L 1 ~ L y ) が設けられている。

## 【 0 0 1 5 】

解像度が高くなるにつれて 1 フレーム期間中のライン期間の数も増え、駆動回路を高い周波数で駆動しなければならない。

## 【 0 0 1 6 】

まず電源供給線 V 1 ~ V x は一定の電源電位に保たれている。そして対向電極の電位である対向電位も一定の電位に保たれている。対向電位は、E L 素子が発光する程度に電源電位との間に電位差を有している。

## 【 0 0 1 7 】

第 1 のライン期間 (L 1) において、ゲート信号線駆動回路からゲート信号線 G 1 に入力されるゲート信号によって、ゲート信号線 G 1 が選択される。

【 0 0 1 8 】

なお本明細書においてゲート信号線が選択されるとは、該ゲート信号線にゲート電極が接続された薄膜トランジスタが全てオンの状態になることを意味する。

【 0 0 1 9 】

そして、ソース信号線 S 1 ~ S x に順にアナログのビデオ信号が入力される。ゲート信号線 G 1 に接続された全てのスイッチング用 T F T 1 8 0 1 はオンの状態になっているので、ソース信号線 S 1 ~ S x に入力されたアナログのビデオ信号は、スイッチング用 T F T 1 8 0 1 を介して E L 駆動用 T F T 1 8 0 4 のゲート電極に入力される。

【 0 0 2 0 】

E L 駆動用 T F T 1 8 0 4 のチャネル形成領域を流れる電流の量は、E L 駆動用 T F T 1 8 0 4 のゲート電極に入力される信号の電位の高さ (電圧) によって制御される。よって、E L 素子 1 8 0 6 の画素電極にかかる電位は、E L 駆動用 T F T 1 8 0 4 のゲート電極に入力されたアナログのビデオ信号の電位の高さによって決まる。そして E L 素子 1 8 0 6 はアナログのビデオ信号の電位に制御されて発光を行う。

【 0 0 2 1 】

上述した動作を繰り返し、にソース信号線 S 1 ~ S x へのアナログのビデオ信号の入力が終了すると、第 1 のライン期間 (L 1) が終了する。なお、ソース信号線 S 1 ~ S x へのアナログのビデオ信号の入力が終了するまでの期間と水平帰線期間とを合わせて 1 つのライン期間としても良い。

【 0 0 2 2 】

そして次に第 2 のライン期間 (L 2) となり、ゲート信号によってゲート信号線 G 2 が選択される。そして第 1 のライン期間 (L 1) と同様にソース信号線 S 1 ~ S x に順にアナログのビデオ信号が入力される。

【 0 0 2 3 】

そして全てのゲート信号線 (G 1 ~ G y) にゲート信号が入力されると、全て

のライン期間 ( $L_1 \sim L_y$ ) が終了する。全てのライン期間 ( $L_1 \sim L_y$ ) が終了すると、1 フレーム期間が終了する。1 フレーム期間中において全ての画素が表示を行い、1 つの画像が形成される。なお全てのライン期間 ( $L_1 \sim L_y$ ) と垂直帰線期間とを合わせて1 フレーム期間としても良い。

## 【 0 0 2 4 】

以上のように、アナログのビデオ信号によって E L 素子の発光量が制御され、その発光量の制御によって階調表示がなされる。この方式はいわゆるアナログ駆動方法と呼ばれる駆動方式であり、ソース信号線に入力されるアナログのビデオ信号の電位の変化で階調表示が行われる。

## 【 0 0 2 5 】

## 【発明が解決しようとする課題】

上述したアナログ駆動方法において、E L 素子に供給される電流量が E L 駆動用 T F T のゲート電圧によって制御される様子を図 2 7 を用いて詳しく説明する。

## 【 0 0 2 6 】

図 2 7 (A) は E L 駆動用 T F T のトランジスタ特性を示すグラフであり、2 8 0 1 は  $I_{DS} - V_{GS}$  特性 (又は  $I_{DS} - V_{GS}$  曲線) と呼ばれている。ここで  $I_{DS}$  はドレイン電流であり、 $V_{GS}$  はゲート電極とソース領域間の電圧 (ゲート電圧) である。このグラフにより任意のゲート電圧に対して流れる電流量を知ることができる。

## 【 0 0 2 7 】

アナログ駆動方法において階調表示を行う場合、E L 素子は上記  $I_{DS} - V_{GS}$  特性の点線 2 8 0 2 で示した領域を用いて駆動する。2 8 0 2 で囲んだ領域の拡大図を図 2 7 (B) に示す。

## 【 0 0 2 8 】

図 2 7 (B) において、斜線で示す領域は飽和領域と呼ばれている。具体的には、しきい値電圧を  $V_{TH}$  とすると、 $|V_{GS} - V_{TH}| < |V_{DS}|$  を満たすようなゲート電圧である領域を指し、この領域ではゲート電圧の変化に対して指数関数的にドレイン電流が変化する。この領域を使ってゲート電圧による電流制御を行う

## 【 0 0 2 9 】

スイッチング用 T F T がオンとなって画素内に入力されたアナログのビデオ信号は E L 駆動用 T F T のゲート電圧となる。このとき、図 2 7 ( A ) に示した  $I_{DS} - V_{GS}$  特性に従ってゲート電圧に対してドレイン電流が 1 対 1 で決まる。即ち、E L 駆動用 T F T のゲート電極に入力されるアナログのビデオ信号の電圧に対応して、ドレイン領域の電位が定まり、所定のドレイン電流が E L 素子に流れ、その電流量に対応した発光量で前記 E L 素子が発光する。

## 【 0 0 3 0 】

以上のように、ビデオ信号によって E L 素子の発光量が制御され、その発光量の制御によって階調表示がなされる。

## 【 0 0 3 1 】

しかしながら、上記アナログ駆動は T F T の特性のバラツキに非常に弱いという欠点がある。仮に各画素の E L 駆動用 T F T に等しいゲート電圧がかかったとしても、E L 駆動用 T F T の  $I_{DS} - V_{GS}$  特性にバラツキがあれば、同じドレイン電流を出力することはできない。さらに、図 2 7 ( A ) から明らかなようにゲート電圧の変化に対して指数関数的にドレイン電流が変化する飽和領域を使っているため、 $I_{DS} - V_{GS}$  特性が僅かでもずれば、等しいゲート電圧がかかっても出力される電流量は大きく異なるといった事態が生じうる。こうなってしまうと、僅かな  $I_{DS} - V_{GS}$  特性のバラツキによって、同じ電圧の信号を入力しても E L 素子の発光量が隣接画素で大きく異なってしまう。

## 【 0 0 3 2 】

このように、アナログ駆動は E L 駆動用 T F T の特性バラツキに対して極めて敏感であり、その点が従来のアクティブマトリクス型の E L ディスプレイの階調表示における障害となっていた。

## 【 0 0 3 3 】

本発明は上記問題点を鑑みてなされたものであり、鮮明な多階調カラー表示の可能なアクティブマトリクス型の E L ディスプレイを提供することを課題とする。そして、そのようなアクティブマトリクス型 E L ディスプレイを表示用ディス

プレイとして具備する高性能な電気光学装置（電子機器）を提供することを課題とする。

【 0 0 3 4 】

【課題を解決するための手段】

本発明者は、アナログ駆動の問題は、ゲート電圧の変化に対してドレイン電流が指数関数的に変化するために  $I_{DS}-V_{GS}$  特性のばらつきの影響を受けやすい飽和領域を用いて階調表示を行っていることに起因すると考えた。

【 0 0 3 5 】

即ち、 $I_{DS}-V_{GS}$  特性のばらつきがあった場合に、飽和領域はゲート電圧の変化に対してドレイン電流が指数関数的に変化するため、等しいゲート電圧がかかっても異なる電流（ドレイン電流）が出力されてしまい、その結果、所望の階調が得られないという不具合が生じるのである。

【 0 0 3 6 】

そこで本発明人は、EL素子の発する光の量の制御を、飽和領域を用いた電流の制御により行うのではなく、主にEL素子が発光する時間の制御によって行うことを考えた。つまり本発明ではEL素子の発する光の量を時間で制御し、階調表示を行う。EL素子の発光時間を制御することで階調表示を行う時分割方式の駆動方法（以下、デジタル駆動という）と呼ぶ。なお時分割方式の駆動方法によって行われる階調表示を時分割階調表示と呼ぶ。

【 0 0 3 7 】

上記構成によって本発明では、EL駆動用TFTの  $I_{DS}-V_{GS}$  特性に多少のばらつきがあっても、同じ電圧の信号を入力したときにEL素子の発光量が隣接画素で大きく異なってしまうという事態を避けることが可能になる。

【 0 0 3 8 】

【発明の実施の形態】

以下に、本発明のELディスプレイの構造及びその駆動方法について説明する。ここではnビットのデジタルビデオ信号により  $2^n$  階調の表示を行う場合について説明する。

【 0 0 3 9 】

図 1 に本発明の E L ディスプレイのブロック図の一例を示す。図 1 の E L ディスプレイは、基板上に形成された T F T によって画素部 1 0 1、画素部 1 0 1 の周辺に配置されたソース信号線駆動回路 1 0 2、書き込み用ゲート信号線駆動回路（第 1 のゲート信号線駆動回路） 1 0 3、消去用ゲート信号線駆動回路（第 2 のゲート信号線駆動回路） 1 0 4 を有している。なお、本実施の形態において示す E L ディスプレイはソース信号線駆動回路を 1 つ有しているが、本発明はこれに限定されず、ソース信号線駆動回路を 2 つ以上有していてもよい。

## 【 0 0 4 0 】

また本発明において、ソース信号線駆動回路 1 0 2、書き込み用ゲート信号線駆動回路 1 0 3 または消去用ゲート信号線駆動回路 1 0 4 は、画素部 1 0 1 が設けられている基板上に設けても良いし、 I C チップ上に設けて F P C または T A B を介して画素部 1 0 1 と接続されるようにしても良い。

## 【 0 0 4 1 】

画素部 1 0 1 の拡大図を図 2 に示す。ソース信号線 S 1 ~ S x、電源供給線 V 1 ~ V x、書き込み用ゲート信号線（第 1 のゲート信号線） G a 1 ~ G a y、消去用ゲート信号線（第 2 のゲート信号線） G e 1 ~ G e y が画素部 1 0 1 に設けられている。

## 【 0 0 4 2 】

ソース信号線 S 1 ~ S x と、電源供給線 V 1 ~ V x と、書き込み用ゲート信号線 G a 1 ~ G a y と、消去用ゲート信号線 G e 1 ~ G e y とを 1 つずつ有する領域が画素 1 0 5 である。画素部 1 0 1 にはマトリクス状に複数の画素 1 0 5 が配列されることになる。

## 【 0 0 4 3 】

画素 1 0 5 の拡大図を図 3 に示す。1 0 7 はスイッチング用 T F T、1 0 8 は E L 駆動用 T F T、1 0 9 は消去用 T F T、1 1 0 は E L 素子、1 1 1 は対向電源、1 1 2 はコンデンサである。E L 駆動用 T F T 1 0 8 は 2 つの E L 駆動用 T F T（第 1 の E L 駆動用 T F T と第 2 の E L 駆動用 T F T）が並列に接続されたものである。本明細書において、第 1 の E L 駆動用 T F T と第 2 の E L 駆動用 T F T とを合わせて、E L 駆動用 T F T と呼ぶ

## 【 0 0 4 4 】

スイッチング用 T F T 1 0 7 のゲート電極は、書き込み用ゲート信号線 G a ( G a 1 ~ G a y のいずれか 1 つ ) に接続されている。スイッチング用 T F T 1 0 7 のソース領域とドレイン領域は、一方がソース信号線 S ( S 1 ~ S x のいずれか 1 つ ) に接続されており、もう一方が E L 駆動用 T F T 1 0 8 のゲート電極、各画素が有するコンデンサ 1 1 2 及び消去用 T F T 1 0 9 のソース領域又はドレイン領域に接続されている。

## 【 0 0 4 5 】

コンデンサ 1 1 2 はスイッチング用 T F T 1 0 7 が非選択状態 ( オフの状態 ) にある時、 E L 駆動用 T F T 1 0 8 のゲート電圧を保持するために設けられている。なお本実施の形態ではコンデンサ 1 1 2 を設ける構成を示したが、本発明はこの構成に限定されず、コンデンサ 1 1 2 を設けない構成にしても良い。

## 【 0 0 4 6 】

また、 E L 駆動用 T F T 1 0 8 のソース領域は、一方が電源供給線 V ( V 1 ~ V x のいずれか 1 つ ) に接続され、ドレイン領域は E L 素子 1 1 0 に接続される。電源供給線 V はコンデンサ 1 1 2 に接続されている。

## 【 0 0 4 7 】

また消去用 T F T 1 0 9 のソース領域とドレイン領域のうち、 E L 駆動用 T F T 1 0 8 のゲート電極に接続されていない方は、電源供給線 V に接続されている。そして消去用 T F T 1 0 9 のゲート電極は、消去用ゲート信号線 G e ( G e 1 ~ G e y のいずれか 1 つ ) に接続されている。

## 【 0 0 4 8 】

E L 素子 1 1 0 は陽極と陰極と、陽極と陰極との間に設けられた E L 層とからなる。陽極が E L 駆動用 T F T 1 0 8 のドレイン領域と接続している場合、陽極が画素電極、陰極が対向電極となる。逆に陰極が E L 駆動用 T F T 1 0 8 のドレイン領域と接続している場合、陰極が画素電極、陽極が対向電極となる。

## 【 0 0 4 9 】

E L 素子 1 1 0 の対向電極は、画素部 1 0 1 を有する基板の外部に設けられた対向電源 1 1 1 に接続されており、常に対向電位が与えられている。また電源供



給線 V は画素部 1 0 1 を有する基板の外部に設けられた電源（図示せず）に接続されており、常に電源電位が与えられている。そして対向電位と電源電位は、電源電位が画素電極に与えられたときに E L 素子が発光する程度の電位差に常に保たれている。

## 【 0 0 5 0 】

現在の典型的な E L ディスプレイは、画素部の面積あたりの発光量が  $200 \text{ cd/m}^2$  の場合、画素部の面積あたりの電流が数  $\text{mA/cm}^2$  程度必要となる。そのため画素部のサイズが大きくなると、I C 等に設けられた電源から電源供給線に与えられる電位をスイッチで制御することが難しくなる。本発明においては、電源電位と対向電位は常に一定に保たれており、I C に設けられた電源から与えられる電位の高さをスイッチで制御する必要がないので、より大きな画面サイズのパネルの実現に有用である。

## 【 0 0 5 1 】

スイッチング用 T F T 1 0 7、E L 駆動用 T F T 1 0 8、消去用 T F T 1 0 9 は、n チャネル型 T F T でも p チャネル型 T F T でもどちらでも用いることができる。ただし、第 1 の E L 駆動用 T F T と第 2 の E L 駆動用 T F T は同じ極性を有していることが必要である。そして、E L 素子 1 1 0 の陽極が画素電極で陰極が対向電極の場合、E L 駆動用 T F T 1 0 8 は p チャネル型 T F T であることが好ましい。また逆に E L 素子 1 1 0 の陽極が対向電極で陰極が画素電極の場合、E L 駆動用 T F T 1 0 8 は n チャネル型 T F T であることが好ましい。

## 【 0 0 5 2 】

またスイッチング用 T F T 1 0 7、E L 駆動用 T F T 1 0 8、消去用 T F T 1 0 9 は、シングルゲート構造ではなく、ダブルゲート構造、やトリプルゲート構造などのマルチゲート構造を有していても良い。

## 【 0 0 5 3 】

次に図 1 ～図 3 で示した本発明の E L ディスプレイの駆動方法について、図 4 を用いて説明する。

## 【 0 0 5 4 】

はじめに、書き込み用ゲート信号線駆動回路 1 0 3 から書き込み用ゲート信号

線G a 1に入力される書き込み用ゲート信号（第1のゲート信号）によって書き込み用ゲート信号線G a 1が選択される。そして書き込み用ゲート信号線G a 1に接続されている全ての画素（1ライン目の画素）のスイッチング用T F T 1 0 7がオンの状態になる。

## 【0055】

そして同時に、ソース信号線駆動回路102からソース信号線S 1～S'xに入力される1ビット目のデジタルビデオ信号が、スイッチング用T F T 1 0 7を介してE L駆動用T F T 1 0 8のゲート電極に入力される。なお本明細書において、デジタルビデオ信号がスイッチング用T F T 1 0 7を介してE L駆動用T F T 1 0 8のゲート電極に入力されることを、画素にデジタルビデオ信号が入力されるとする。

## 【0056】

デジタルビデオ信号は「0」または「1」の情報を有しており、「0」と「1」のデジタルビデオ信号は、一方がH i、一方がL oの電圧を有する信号である。

## 【0057】

本実施の形態では、デジタルビデオ信号が「0」の情報を有していた場合、E L駆動用T F T 1 0 8はオフの状態となる。よってE L素子110の画素電極に電源電位が与えられない。その結果、「0」の情報を有するデジタルビデオ信号が入力された画素が有するE L素子110は発光しない。

## 【0058】

逆に、デジタルビデオ信号が「1」の情報を有していた場合、E L駆動用T F T 1 0 8はオンの状態となる。よってE L素子110の画素電極に電源電位が与えられる。その結果、「1」の情報を有するデジタルビデオ信号が入力された画素が有するE L素子110は発光する。

## 【0059】

なお本実施の形態ではデジタルビデオ信号が「0」の情報を有していた場合、E L駆動用T F T 1 0 8はオフの状態となり、「1」の情報を有していた場合E L駆動用T F T 1 0 8はオンの状態となるが、本発明はこの構成に限定されない

。デジタルビデオ信号が「0」の情報を持っていた場合、EL駆動用TFT108がオンの状態となり、「1」の情報を持っていた場合EL駆動用TFT108オフの状態となっても良い。

## 【0060】

このように、1ライン目の画素にデジタルビデオ信号が入力されると同時に、EL素子110が発光、または非発光を行い、1ライン目の画素は表示を行う。画素が表示を行っている期間を表示期間 $T_r$ と呼ぶ。特に1ビット目のデジタルビデオ信号が画素に入力されたことで開始する表示期間を $T_{r1}$ と呼ぶ。各ラインの表示期間が開始されるタイミングはそれぞれ時間差を有している。

## 【0061】

次に書き込み用ゲート信号線Ga1の選択が終了すると、書き込み用ゲート信号線Ga2が書き込み用ゲート信号によって選択される。そして書き込み用ゲート信号線Ga2に接続されている全ての画素のスイッチング用TFT107がオンの状態になり、2ライン目の画素にソース信号線S1～Sxから1ビット目のデジタルビデオ信号が入力される。

## 【0062】

そして順に、全ての書き込み用ゲート信号線Ga1～Gayが選択され、全ての画素に1ビット目のデジタルビデオ信号が入力される。全ての画素に1ビット目のデジタルビデオ信号が入力されるまでの期間が、書き込み期間 $T_{a1}$ である。

## 【0063】

一方、全ての画素に1ビット目のデジタルビデオ信号が入力される前、言い換えると書き込み期間 $T_{a1}$ が終了する前に、画素への1ビット目のデジタルビデオ信号の入力と並行して、消去用ゲート信号線駆動回路104から消去用ゲート信号線Ge1入力される消去用ゲート信号（第2のゲート信号）によって、消去用ゲート信号線Ge1が選択される。そして、消去用ゲート信号線Ge1に接続されている全ての画素（1ライン目の画素）の消去用TFT109がオンの状態になる。そして電源供給線V1～Vxの電源電位が消去用TFT109を介してEL駆動用TFT108のゲート電極に与えられる。

## 【 0 0 6 4 】

電源電位がEL駆動用TFT108のゲート電極に与えられると、EL駆動用TFT108のゲート電極とソース領域の電位が同じになり、ゲート電圧が0Vになる。よってEL駆動用TFT108はオフの状態となる。つまり、書き込み用ゲート信号線Ga1が書き込み用ゲート信号によって選択されたときからEL駆動用TFTのゲート電極が保持していたデジタルビデオ信号は、EL駆動用TFTのゲート電極に電源電位が与えられることで消去される。よって電源電位はEL素子110の画素電極に与えられなくなり、1ライン目の画素が有するEL素子110は全て非発光の状態になり、1ライン目の画素が表示を行わなくなる。

## 【 0 0 6 5 】

画素が表示を行わない期間を非表示期間Tdと呼ぶ。1ライン目の画素において、消去用ゲート信号線Ge1が選択されると同時に表示期間Tr1が終了し、非表示期間Td1となる。表示期間と同様に、各ラインの非表示期間が開始されるタイミングはそれぞれ時間差を有している。

## 【 0 0 6 6 】

そして消去用ゲート信号線Ge1の選択が終了すると、消去用ゲート信号線Ge2が選択され、消去用ゲート信号線Ge2に接続されている全ての画素（2ライン目の画素）の消去用TFT109がオンの状態になる。そして電源供給線V1～Vxの電源電位が消去用TFT109を介してEL駆動用TFT108のゲート電極に与えられる。電源電位がEL駆動用TFT108のゲート電極に与えられると、EL駆動用TFT108はオフの状態となる。よって電源電位はEL素子110の画素電極に与えられなくなる。その結果2ライン目の画素が有するEL素子は全て非発光の状態になり、2ライン目の画素が表示を行わない非表示の状態となる。

## 【 0 0 6 7 】

そして順に、全ての消去用ゲート信号線に消去用ゲート信号が入力されていく。全ての消去用ゲート信号線Ge1～Geyが選択され、全ての画素が保持している1ビット目のデジタルビデオ信号が消去されるまでの期間が消去期間Te1

である。

【 0 0 6 8 】

一方、全ての画素が保持している1ビット目のデジタルビデオ信号が消去される前、言い換えると消去期間 $T_{e1}$ が終了する前に、画素が保持している1ビット目のデジタルビデオ信号の消去と並行して、再び書き込み用ゲート信号による書き込み用ゲート信号線 $G_{a1}$ の選択が行われる。そして1ライン目の画素に、2ビット目のデジタルビデオ信号が入力される。その結果、1ライン目の画素は再び表示を行うので、非表示期間 $T_{d1}$ が終了して表示期間 $T_{r2}$ となる。

【 0 0 6 9 】

そして同様に、順に全ての書き込み用ゲート信号線が選択され、2ビット目のデジタルビデオ信号が全ての画素に入力される。全ての画素に2ビット目のデジタルビデオ信号が入力し終わるまでの期間を、書き込み期間 $T_{a2}$ と呼ぶ。

【 0 0 7 0 】

そして一方、全ての画素に2ビット目のデジタルビデオ信号が入力される前、言い換えると書き込み期間 $T_{a2}$ が終了する前に、画素への2ビット目のデジタルビデオ信号の入力と並行して、消去用ゲート信号による消去用ゲート信号線 $G_{e2}$ の選択が行われる。よって1ライン目の画素が有するEL素子は全て非発光の状態になり、1ライン目の画素が表示を行わなくなる。よって1ライン目の画素において表示期間 $T_{r2}$ は終了し、非表示期間 $T_{d2}$ となる。

【 0 0 7 1 】

そして順に、全ての消去用ゲート信号線 $G_{e1} \sim G_{ey}$ が選択され、全ての画素が保持している2ビット目のデジタルビデオ信号が消去される。全ての画素が保持している2ビット目のデジタルビデオ信号が消去されるまでの期間が消去期間 $T_{e2}$ である。

【 0 0 7 2 】

上述した動作は $m$ ビット目のデジタルビデオ信号が画素に入力されるまで繰り返し行われ、表示期間 $T_r$ と非表示期間 $T_d$ とが繰り返し出現する。表示期間 $T_{r1}$ は、書き込み期間 $T_{a1}$ が開始されてから消去期間 $T_{e1}$ が開始されるまでの期間である。また非表示期間 $T_{d1}$ は、消去期間 $T_{e1}$ が開始されてから次に

出現する書き込み期間（この場合書き込み期間 $T_{a2}$ ）が開始されるまでの期間である。そして表示期間 $T_{r2}$ 、 $T_{r3}$ 、 $\dots$ 、 $T_{r(m-1)}$ と非表示期間 $T_{d2}$ 、 $T_{d3}$ 、 $\dots$ 、 $T_{d(m-1)}$ も、表示期間 $T_{r1}$ と非表示期間 $T_{d1}$ と同様に、それぞれ書き込み期間 $T_{a1}$ 、 $T_{a2}$ 、 $\dots$ 、 $T_{am}$ と消去期間 $T_{e1}$ 、 $T_{e2}$ 、 $\dots$ 、 $T_{e(m-1)}$ とによって、その期間が定められる。

## 【0073】

説明を簡便にするために、図4では $m = n - 2$ の場合を例にとって示すが、本発明はこれに限定されないのは言うまでもない。本発明において $m$ は、1から $n$ までの値を任意に選択することが可能である。

## 【0074】

$m[n - 2]$ （以下、括弧内は $m = n - 2$ の場合を示す）ビット目のデジタルビデオ信号が1ライン目の画素に入力されると、1ライン目の画素は表示期間 $T_{rm[n - 2]}$ となり表示を行う。そして次のビットのデジタルビデオ信号が入力されるまで、 $m[n - 2]$ ビット目のデジタルビデオ信号は画素に保持される。

## 【0075】

そして次に $(m + 1)[n - 1]$ ビット目のデジタルビデオ信号が1ライン目の画素に入力されると、画素に保持されていた $m[n - 2]$ ビット目のデジタルビデオ信号は、 $(m + 1)[n - 1]$ ビット目のデジタルビデオ信号に書き換えられる。そして1ライン目の画素は表示期間 $T_{r(m + 1)[n - 1]}$ となり、表示を行う。 $(m + 1)[n - 1]$ ビット目のデジタルビデオ信号は、次のビットのデジタルビデオ信号が入力されるまで画素に保持される。

## 【0076】

上述した動作を $n$ ビット目のデジタルビデオ信号が画素に入力されるまで繰り返し行われる。表示期間 $T_{rm[n - 2]}$ 、 $\dots$ 、 $T_{rn}$ は、書き込み期間 $T_{am[n - 2]}$ 、 $\dots$ 、 $T_{an}$ が開始されてから、その次に出現する書き込み期間が開始されるまでの期間である。

## 【0077】

全ての表示期間 $T_{r1} \sim T_{rn}$ が終了すると、1つの画像を表示することがで

きる。本発明において、1つの画像が表示される期間を1フレーム期間(F)と呼ぶ。

## 【0078】

そして1フレーム期間終了後は、再び書き込み用ゲート信号線G a 1が書き込み用ゲート信号によって選択される。そして、1ビット目のデジタルビデオ信号が画素に入力され、1ライン目の画素が再び表示期間T r 1となる。そして再び上述した動作を繰り返す。

## 【0079】

ELディスプレイは1秒間に60以上のフレーム期間を設けることが好ましい。1秒間に表示される画像の数が60より少なくなると、視覚的に画像のちらつきが目立ち始めることがある。

## 【0080】

また本発明では、全ての書き込み期間の長さの和が1フレーム期間よりも短いことが重要である。なおかつ表示期間の長さを $T r 1 : T r 2 : T r 3 : \dots : T r (n-1) : T r n = 2^0 : 2^1 : 2^2 : \dots : 2^{(n-2)} : 2^{(n-1)}$ とすることが必要である。この表示期間の組み合わせで $2^n$ 階調のうち所望の階調表示を行うことができる。

## 【0081】

1フレーム期間中にEL素子が発光した表示期間の長さの総和を求めることによって、当該フレーム期間におけるその画素の表示した階調がきまる。例えば、 $n=8$ のとき、全部の表示期間で画素が発光した場合の輝度を100%とすると、 $T r 1$ と $T r 2$ において画素が発光した場合には1%の輝度が表現でき、 $T r 3$ と $T r 5$ と $T r 8$ を選択した場合には60%の輝度が表現できる。

## 【0082】

mビット目のデジタルビデオ信号が画素に書き込まれる書き込み期間T a mは、表示期間T r mの長さよりも短いことが肝要である。よってビット数mの値は、1～nのうち、書き込み期間T a mが表示期間T r mの長さよりも短くなるような値であることが必要である。

## 【0083】

また表示期間 $T_{r1} \sim T_{rn}$ は、どのような順序で出現させても良い。例えば1フレーム期間中において、 $T_{r1}$ の次に $T_{r3}$ 、 $T_{r5}$ 、 $T_{r2}$ 、 $\dots$ という順序で表示期間を出現させることも可能である。ただし、表示期間 $T_{r1} \sim T_{rn}$ が互いに重ならない順序の方がより好ましい。また消去期間 $T_{e1} \sim T_{en}$ も、互いに重ならない順序の方がより好ましい。

## 【0084】

本発明は上記構成によって、TFTによって $I_{DS}-V_{GS}$ 特性に多少のばらつきがあっても、EL駆動用TFTに等しいゲート電圧がかかったときに出力される電流量のばらつきを抑えることができる。よって $I_{DS}-V_{GS}$ 特性のバラツキによって、同じ電圧の信号を入力してもEL素子の発光量が隣接画素で大きく異なってしまうという事態を避けることが可能になる。

## 【0085】

また本発明ではEL駆動用TFTとして、第1のEL駆動用TFTと第2のEL駆動用TFTとが並列に設けられている。これによって、EL駆動用TFTの活性層を流れる電流によって発生した熱の放射を効率的に行うことができ、EL駆動用TFTの劣化を抑えることができる。また、EL駆動用TFTのしきい値や移動度などの特性のばらつきによって生じるドレイン電流のばらつきを抑えることができる。

## 【0086】

なお本実施の形態ではEL駆動用TFTとして、第1のEL駆動用TFTと第2のEL駆動用TFTの2つのTFTを用いたが、本発明はこれに限定されない。各画素において、EL駆動用TFTとして用いるTFTの数は、2以上であれば良い。

## 【0087】

また、本発明では、表示を行わない非発光期間を設けることができる。従来のアナログ駆動の場合、ELディスプレイに全白の画像を表示させると、常にEL素子が発光することになり、EL層の劣化を早める原因となってしまう。本発明は非発光期間を設けることができるので、EL層の劣化をある程度抑えることができる。



## 【 0 0 8 8 】

なお本発明においては、表示期間と書き込み期間とが一部重なっている。言い換えると書き込み期間においても画素を表示させることが可能である。そのため、1フレーム期間における表示期間の長さの総和の割合（デューティー比）が、書き込み期間の長さによってのみ決定されない。

## 【 0 0 8 9 】

なお本実施の形態では、EL駆動用TFTのゲート電極にかかる電圧を保持するためにコンデンサを設ける構造としているが、コンデンサを省略することも可能である。EL駆動用TFTが、ゲート絶縁膜を介してゲート電極に重なるように設けられたLDD領域を有している場合、この重なり合った領域には一般的にゲート容量と呼ばれる寄生容量が形成される。このゲート容量をEL駆動用TFTのゲート電極にかかる電圧を保持するためのコンデンサとして積極的に用いても良い。

## 【 0 0 9 0 】

このゲート容量の容量値は、上記ゲート電極とLDD領域とが重なり合った面積によって変化するため、その重なり合った領域に含まれるLDD領域の長さによって決まる。

## 【 0 0 9 1 】

なお、上述した本発明の構成はELディスプレイへの適用だけに限らず、他の電気光学素子を用いた装置に適用することも可能である。また応答時間が数10 $\mu$ sec程度以下の、高速応答する液晶が開発された場合には、液晶ディスプレイに適用することも可能である。

## 【 0 0 9 2 】

## 【実施例】

以下に、本発明の実施例を説明する。

## 【 0 0 9 3 】

## （実施例1）

本実施例では、本発明のELディスプレイにおいて、6ビットのデジタルビデオ信号により2<sup>6</sup>階調の表示を行う場合について図5を用いて説明する。なお本

実施例のELディスプレイは、図1～図3に示した構造を有する。

【0094】

はじめに書き込み用ゲート信号線駆動回路103から書き込み用ゲート信号線Ga1に入力される書き込み用ゲート信号によって、書き込み用ゲート信号線Ga1が選択される。そして書き込み用ゲート信号線Ga1に接続されている全ての画素（1ライン目の画素）のスイッチング用TFT107がオンの状態になる。

【0095】

そして同時に、ソース信号線S1～Sxにソース信号線駆動回路102から、1ビット目のデジタルビデオ信号が入力される。デジタルビデオ信号はスイッチング用TFT107を介してEL駆動用TFT108のゲート電極に入力される。

【0096】

本実施例では、デジタルビデオ信号が「0」の情報を有していた場合、EL駆動用TFT108はオフの状態となる。よってEL素子110の画素電極には電源電位は与えられない。その結果、「0」の情報を有するデジタルビデオ信号が入力された画素が有するEL素子110は発光しない。

【0097】

逆に、「1」の情報を有していた場合、EL駆動用TFT108はオンの状態となる。よってEL素子110の画素電極には電源電位が与えられる。その結果、「1」の情報を有するデジタルビデオ信号が入力された画素が有するEL素子110は発光する。

【0098】

このように1ライン目の画素は、デジタルビデオ信号が入力されると同時に、EL素子110が発光、または非発光を行い、表示期間Tr1となる。各ラインの表示期間が開始されるタイミングはそれぞれ時間差を有している。

【0099】

次に書き込み用ゲート信号線Ga1の選択が終了すると、書き込み用ゲート信号によって書き込み用ゲート信号線Ga2が選択される。そして書き込み用ゲ-

ト信号線G a 2に接続されている全ての画素のスイッチング用T F T 1 0 7がオンの状態になり、2ライン目の画素にソース信号線S 1～S xから1ビット目のデジタルビデオ信号が入力される。

## 【 0 1 0 0 】

そして全ての書き込み用ゲート信号線G a 1～G a yが選択され、全ての画素に1ビット目のデジタルビデオ信号が入力される。全ての画素に1ビット目のデジタルビデオ信号が入力されるまでの期間が書き込み期間T a 1である。

## 【 0 1 0 1 】

一方、全ての画素に1ビット目のデジタルビデオ信号が入力される前、言い換えると書き込み期間T a 1が終了する前に、画素への1ビット目のデジタルビデオ信号の入力と並行して、消去用ゲート信号線駆動回路1 0 4から消去用ゲート信号線G e 1に入力される消去用ゲート信号によって、消去用ゲート信号線G e 1が選択される。

## 【 0 1 0 2 】

そして消去用ゲート信号線G e 1に接続されている全ての画素（1ライン目の画素）の消去用T F T 1 0 9がオンの状態になる。そして電源供給線V 1～V xの電源電位が消去用T F T 1 0 9を介してE L駆動用T F T 1 0 8のゲート電極に与えられる。

## 【 0 1 0 3 】

電源電位がE L駆動用T F T 1 0 8のゲート電極に与えられると、E L駆動用T F T 1 0 8はオフの状態となる。よって電源電位はE L素子1 1 0の画素電極に与えられなくなり、1ライン目の画素が有するE L素子は全て非発光の状態になり、1ライン目の画素が表示を行わなくなる。つまり、書き込み用ゲート信号線G a 1が書き込み用ゲート信号によって選択されたときからE L駆動用T F T 1 0 8のゲート電極が保持していたデジタルビデオ信号は、E L駆動用T F Tのゲート電極に電源電位が与えられることで消去される。よって1ライン目の画素が表示を行わなくなる。

## 【 0 1 0 4 】

消去用ゲート信号線G e 1が選択されると同時に1ライン目の画素の表示期間

T r 1 が終了し、非表示期間 T d 1 となる。表示期間と同様に、各ラインの非表示期間が開始されるタイミングはそれぞれ時間差を有している。

【 0 1 0 5 】

そして消去用ゲート信号線 G e 1 の選択が終了すると、消去用ゲート信号によって消去用ゲート信号線 G e 2 が選択され、消去用ゲート信号線 G e 2 に接続されている全ての画素（2ライン目の画素）の消去用 T F T 1 0 9 がオンの状態になる。そして電源供給線 V 1 ~ V x の電源電位が消去用 T F T 1 0 9 を介して E L 駆動用 T F T 1 0 8 のゲート電極に与えられる。電源電位が E L 駆動用 T F T 1 0 8 のゲート電極に与えられると、E L 駆動用 T F T 1 0 8 はオフの状態となる。よって電源電位は E L 素子 1 1 0 の画素電極に与えられなくなる。その結果 2 ライン目の画素が有する E L 素子は全て非発光の状態になり、2 ライン目の画素が表示を行わなくなり、非表示の状態となる。

【 0 1 0 6 】

そして全ての消去用ゲート信号線 G e 1 ~ G e y が選択され、全ての画素が保持している 1 ビット目のデジタルビデオ信号が消去される。全ての画素が保持している 1 ビット目のデジタルビデオ信号が消去されるまでの期間が消去期間 T e 1 である。

【 0 1 0 7 】

一方、全ての画素が保持している 1 ビット目のデジタルビデオ信号が消去される前、言い換えると消去期間 T e 1 が終了する前に、画素に保持されている 1 ビット目のデジタルビデオ信号の消去と並行して、再び書き込み用ゲート信号線 G a 1 の選択が行われる。その結果、1 ライン目の画素は再び表示を行うので、非表示期間 T d 1 が終了して表示期間 T r 2 となる。

【 0 1 0 8 】

そして同様に、順に全ての書き込み用ゲート信号線が選択され、2 ビット目のデジタルビデオ信号が全ての画素に入力される。全ての画素に 2 ビット目のデジタルビデオ信号が入力し終わるまでの期間を、書き込み期間 T a 2 と呼ぶ。

【 0 1 0 9 】

そして一方、全ての画素に 2 ビット目のデジタルビデオ信号が入力される前、

言い換えると書き込み期間  $T_{a2}$  が終了する前に、画素への 2 ビット目のデジタルビデオ信号の入力と並行して、消去用ゲート信号線  $G_{e2}$  の選択が行われる。よって 1 ライン目の画素が有する EL 素子は全て非発光の状態になり、1 ライン目の画素が表示を行わなくなる。よって 1 ライン目の画素において表示期間  $T_{r2}$  は終了し、非表示期間  $T_{d2}$  となる。

## 【0 1 1 0】

そして全ての消去用ゲート信号線  $G_{e1} \sim G_{ey}$  が選択され、全ての画素が保持している 2 ビット目のデジタルビデオ信号が消去される。全ての画素が保持している 2 ビット目のデジタルビデオ信号が消去されるまでの期間が、消去期間  $T_{e2}$  である。

## 【0 1 1 1】

上述した動作は 5 ビット目のデジタルビデオ信号が画素に入力されるまで繰り返し行われ、表示期間  $T_r$  と非表示期間  $T_d$  とが繰り返し出現する。表示期間  $T_{r1}$  は、書き込み期間  $T_{a1}$  が開始されてから消去期間  $T_{e1}$  が開始されるまでの期間である。また非表示期間  $T_{d1}$  は、消去期間  $T_{e1}$  が開始されてから次に出現する書き込み期間（本実施例では書き込み期間  $T_{a2}$ ）が開始されるまでの期間である。そして表示期間  $T_{r2}$ 、 $T_{r3}$ 、 $T_{r4}$  と非表示期間  $T_{d2}$ 、 $T_{d3}$ 、 $T_{d4}$  も、表示期間  $T_{r1}$  と非表示期間  $T_{d1}$  と同様に、それぞれ書き込み期間  $T_{a1}$ 、 $T_{a2}$ 、 $\dots$ 、 $T_{a5}$  と消去期間  $T_{e1}$ 、 $T_{e2}$ 、 $\dots$ 、 $T_{e4}$  とによって、その期間が定められる。

## 【0 1 1 2】

5 ビット目のデジタルビデオ信号が 1 ライン目の画素に入力されると、1 ライン目の画素は表示期間  $T_{r5}$  となり表示を行う。そして次のビットのデジタルビデオ信号が入力されるまで、5 ビット目のデジタルビデオ信号は画素に保持される。

## 【0 1 1 3】

そして次に 6 ビット目のデジタルビデオ信号が 1 ライン目の画素に入力されると、画素に保持されていた 5 ビット目のデジタルビデオ信号は、6 ビット目のデジタルビデオ信号に書き換えられる。そして 1 ライン目の画素は表示期間  $T_{r6}$

となり、表示を行う。6ビット目のデジタルビデオ信号は、再び次のフレーム期間の1ビット目のデジタルビデオ信号が入力されるまで画素に保持される。

#### 【0 1 1 4】

再び次のフレーム期間の1ビット目のデジタルビデオ信号が画素に入力されると、表示期間 $T_r 6$ は終了し、同時にフレーム期間が終了する。全ての表示期間( $T_r 1 \sim T_r 6$ )が終了すると、1つの画像を表示することができる。そして上述した動作を繰り返す。

#### 【0 1 1 5】

表示期間 $T_r 5$ は、書き込み期間 $T_a 5$ が開始されてから、書き込み期間 $T_a 6$ が開始されるまでの期間である。そして表示期間 $T_r 6$ は、書き込み期間 $T_a 6$ が開始されてから、次のフレーム期間の書き込み期間 $T_a 1$ が開始されるまでの期間である。

#### 【0 1 1 6】

表示期間 $T_r$ の長さは、 $T_r 1 : T_r 2 : \dots : T_r 5 : T_r 6 = 2^0 : 2^1 : \dots : 2^4 : 2^5$ となるように設定する。この表示期間の組み合わせで $2^6$ 階調のうち所望の階調表示を行うことができる。

#### 【0 1 1 7】

1フレーム期間中にEL素子が発光した表示期間の長さの総和を求めることによって、当該フレーム期間におけるその画素の表示した階調がきまる。全部の表示期間で画素が発光した場合の輝度を100%とすると、 $T_r 1$ と $T_r 2$ において画素が発光した場合には5%の輝度が表現でき、 $T_r 3$ と $T_r 5$ を選択した場合には32%の輝度が表現できる。

#### 【0 1 1 8】

本実施例において、5ビット目のデジタルビデオ信号が画素に書き込まれる書き込み期間 $T_a 5$ は、表示期間 $T_r 5$ の長さよりも短いことが肝要である。

#### 【0 1 1 9】

また表示期間( $T_r 1 \sim T_r 6$ )は、どのような順序で出現させても良い。例えば1フレーム期間中において、 $T_r 1$ の次に $T_r 3$ 、 $T_r 5$ 、 $T_r 2$ 、...という順序で表示期間を出現させることも可能である。ただし、消去期間( $T_e 1$

～T e 6) が互いに重ならない順序の方がより好ましい。また表示期間 (T r 1～T r 6) も互いに重ならない順序の方がより好ましい。

#### 【 0 1 2 0 】

本発明は上記構成によって、T F Tによって $I_{DS}-V_{GS}$ 特性に多少のばらつきがあっても、等しいゲート電圧がかかったときに出力される電流量のばらつきを抑えることができる。よって $I_{DS}-V_{GS}$ 特性のバラツキによって、同じ電圧の信号を入力してもE L素子の発光量が隣接画素で大きく異なってしまうという事態を避けることが可能になる。

#### 【 0 1 2 1 】

また、本発明では、表示を行わない非発光期間を設けることができる。従来のアナログ駆動の場合、E Lディスプレイに全白の画像を表示させると、常にE L素子が発光することになり、E L層の劣化を早める原因となってしまう。本発明は非発光期間を設けることができるので、E L層の劣化をある程度抑えることができる。

#### 【 0 1 2 2 】

##### (実施例 2)

本実施例では、6ビットのデジタルビデオ信号に対応した本発明の駆動方法において、表示期間T r 1～T r 6の出現する順序について説明する。

#### 【 0 1 2 3 】

図6に本実施例の駆動方法を示すタイミングチャートを示す。画素の詳しい駆動の仕方については実施例1を参照すれば良いので、ここでは省略する。本実施例の駆動方法では、1フレーム期間中で1番長い非表示期間(本実施例ではT d 1)を1フレーム期間の最後に設ける。上記構成によって、非表示期間T d 1と、次のフレーム期間の最初の表示期間(本実施例ではT r 4)との間にフレーム期間の区切れがあるように人間の目に映る。これによって、中間階調の表示を行ったときに、隣り合うフレーム期間同士で発光する表示期間が隣接することによって起きていた表示むらを、人間の目に認識されずらくすることができる。

#### 【 0 1 2 4 】

なお本実施例では、6ビットのデジタルビデオ信号の場合について説明したが

、本発明はこれに限定されない。本実施例はデジタルビデオ信号のビット数に限定されることなく実施することが可能である。

## 【 0 1 2 5 】

## (実施例 3)

本実施例では、本発明の E L ディスプレイにおいて、4 ビットのデジタルビデオ信号により  $2^4$  階調の表示を行う場合について図 7 を用いて説明する。なお本実施例の E L ディスプレイは、図 1 ～図 3 に示した構造を有する。

## 【 0 1 2 6 】

はじめに書き込み用ゲート信号線駆動回路 1 0 3 から書き込み用ゲート信号線 G a 1 に入力される書き込み用ゲート信号によって、書き込み用ゲート信号線 G a 1 が選択される。そして書き込み用ゲート信号線 G a 1 に接続されている全ての画素（1 ライン目の画素）のスイッチング用 T F T 1 0 7 がオンの状態になる。

## 【 0 1 2 7 】

そして同時に、ソース信号線 S 1 ～ S x にソース信号線駆動回路 1 0 2 から、1 ビット目のデジタルビデオ信号が入力される。デジタルビデオ信号はスイッチング用 T F T 1 0 7 を介して E L 駆動用 T F T 1 0 8 のゲート電極に入力される。

## 【 0 1 2 8 】

本実施例では、デジタルビデオ信号が「0」の情報を有していた場合、E L 駆動用 T F T 1 0 8 はオフの状態となる。よって E L 素子 1 1 0 の画素電極には電源電位は与えられない。その結果、「0」の情報を有するデジタルビデオ信号が入力された画素が有する E L 素子 1 1 0 は発光しない。

## 【 0 1 2 9 】

逆に、「1」の情報を有していた場合、E L 駆動用 T F T 1 0 8 はオンの状態となる。よって E L 素子 1 1 0 の画素電極には電源電位が与えられる。その結果、「1」の情報を有するデジタルビデオ信号が入力された画素が有する E L 素子 1 1 0 は発光する。

## 【 0 1 3 0 】



このように 1 ライン目の画素は、デジタルビデオ信号が入力されると同時に、E L 素子 1 1 0 が発光、または非発光を行い、表示期間  $T_{r1}$  となる。各ラインの表示期間が開始されるタイミングはそれぞれ時間差を有している。

#### 【 0 1 3 1 】

次に書き込み用ゲート信号線  $G_{a1}$  の選択が終了すると、書き込み用ゲート信号によって書き込み用ゲート信号線  $G_{a2}$  が選択される。そして書き込み用ゲート信号線  $G_{a2}$  に接続されている全ての画素のスイッチング用 T F T 1 0 7 がオンの状態になり、2 ライン目の画素にソース信号線  $S_1 \sim S_x$  から 1 ビット目のデジタルビデオ信号が入力される。

#### 【 0 1 3 2 】

そして全ての書き込み用ゲート信号線  $G_{a1} \sim G_{ay}$  が選択され、全ての画素に 1 ビット目のデジタルビデオ信号が入力される。全ての画素に 1 ビット目のデジタルビデオ信号が入力されるまでの期間が書き込み期間  $T_{a1}$  である。

#### 【 0 1 3 3 】

一方、全ての画素に 1 ビット目のデジタルビデオ信号が入力される前、言い換えると書き込み期間  $T_{a1}$  が終了する前に、画素への 1 ビット目のデジタルビデオ信号の入力と並行して、消去用ゲート信号線駆動回路 1 0 4 から消去用ゲート信号線  $G_{e1}$  に入力される消去用ゲート信号によって、消去用ゲート信号線  $G_{e1}$  が選択される。

#### 【 0 1 3 4 】

そして消去用ゲート信号線  $G_{e1}$  に接続されている全ての画素（1 ライン目の画素）の消去用 T F T 1 0 9 がオンの状態になる。そして電源供給線  $V_1 \sim V_x$  の電源電位が消去用 T F T 1 0 9 を介して E L 駆動用 T F T 1 0 8 のゲート電極に与えられる。

#### 【 0 1 3 5 】

電源電位が E L 駆動用 T F T 1 0 8 のゲート電極に与えられると、E L 駆動用 T F T 1 0 8 はオフの状態となる。よって電源電位は E L 素子 1 1 0 の画素電極に与えられなくなり、1 ライン目の画素が有する E L 素子は全て非発光の状態になり、1 ライン目の画素が表示を行わなくなる。つまり、書き込み用ゲート信号

線G a 1が書き込み用ゲート信号によって選択されたときからE L駆動用T F T 1 0 8のゲート電極が保持していたデジタルビデオ信号は、E L駆動用T F Tのゲート電極に電源電位が与えられることで消去される。よって1ライン目の画素が表示を行わなくなる。

## 【0 1 3 6】

消去用ゲート信号線G e 1が選択されると同時に1ライン目の画素の表示期間T r 1が終了し、非表示期間T d 1となる。表示期間と同様に、各ラインの非表示期間が開始されるタイミングはそれぞれ時間差を有している。

## 【0 1 3 7】

そして消去用ゲート信号線G e 1の選択が終了すると、消去用ゲート信号によって消去用ゲート信号線G e 2が選択され、消去用ゲート信号線G e 2に接続されている全ての画素（2ライン目の画素）の消去用T F T 1 0 9がオンの状態になる。そして電源供給線V 1～V xの電源電位が消去用T F T 1 0 9を介してE L駆動用T F T 1 0 8のゲート電極に与えられる。電源電位がE L駆動用T F T 1 0 8のゲート電極に与えられると、E L駆動用T F T 1 0 8はオフの状態となる。よって電源電位はE L素子1 1 0の画素電極に与えられなくなる。その結果2ライン目の画素が有するE L素子は全て非発光の状態になり、2ライン目の画素が表示を行わなくなり、非表示の状態となる。

## 【0 1 3 8】

そして全ての消去用ゲート信号線G e 1～G e yが選択され、全ての画素が保持している1ビット目のデジタルビデオ信号が消去される。全ての画素が保持している1ビット目のデジタルビデオ信号が消去されるまでの期間が消去期間T e 1である。

## 【0 1 3 9】

一方、全ての画素が保持している1ビット目のデジタルビデオ信号が消去される前、言い換えると消去期間T e 1が終了する前に、画素に保持されている1ビット目のデジタルビデオ信号の消去と並行して、再び書き込み用ゲート信号線G a 1の選択が行われる。その結果、1ライン目の画素は再び表示を行うので、非表示期間T d 1が終了して表示期間T r 2となる。

## 【 0 1 4 0 】

そして同様に、順に全ての書き込み用ゲート信号線が選択され、2ビット目のデジタルビデオ信号が全ての画素に入力される。全ての画素に2ビット目のデジタルビデオ信号が入力し終わるまでの期間を、書き込み期間  $T_{a2}$  と呼ぶ。

## 【 0 1 4 1 】

そして一方、全ての画素に2ビット目のデジタルビデオ信号が入力される前、言い換えると書き込み期間  $T_{a2}$  が終了する前に、画素への2ビット目のデジタルビデオ信号の入力と並行して、消去用ゲート信号線  $G_{e2}$  の選択が行われる。よって1ライン目の画素が有するEL素子は全て非発光の状態になり、1ライン目の画素が表示を行わなくなる。よって1ライン目の画素において表示期間  $T_{r2}$  は終了し、非表示期間  $T_{d2}$  となる。

## 【 0 1 4 2 】

そして全ての消去用ゲート信号線  $G_{e1} \sim G_{ey}$  が選択され、全ての画素が保持している2ビット目のデジタルビデオ信号が消去される。全ての画素が保持している2ビット目のデジタルビデオ信号が消去されるまでの期間が、消去期間  $T_{e2}$  である。

## 【 0 1 4 3 】

表示期間  $T_{r1}$  は、書き込み期間  $T_{a1}$  が開始されてから消去期間  $T_{e1}$  が開始されるまでの期間である。また非表示期間  $T_{d1}$  は、消去期間  $T_{e1}$  が開始されてから次に出現する書き込み期間（本実施例では書き込み期間  $T_{a2}$ ）が開始されるまでの期間である。そして表示期間  $T_{r2}$  は、書き込み期間  $T_{a2}$  が開始されてから消去期間  $T_{e2}$  が開始されるまでの期間である。また非表示期間  $T_{d2}$  は、消去期間  $T_{e2}$  が開始されてから次に出現する書き込み期間（本実施例では書き込み期間  $T_{a3}$ ）が開始されるまでの期間である。

## 【 0 1 4 4 】

3ビット目のデジタルビデオ信号が1ライン目の画素に入力されると、1ライン目の画素は表示期間  $T_{r3}$  となり表示を行う。そして次のビットのデジタルビデオ信号が入力されるまで、3ビット目のデジタルビデオ信号は画素に保持される。

## 【 0 1 4 5 】

そして次に4ビット目のデジタルビデオ信号が1ライン目の画素に入力されると、画素に保持されていた3ビット目のデジタルビデオ信号は、4ビット目のデジタルビデオ信号に書き換えられる。そして1ライン目の画素は表示期間 $T_{r4}$ となり、表示を行う。4ビット目のデジタルビデオ信号は、再び次のフレーム期間の1ビット目のデジタルビデオ信号が入力されるまで画素に保持される。

## 【 0 1 4 6 】

再び次のフレーム期間の1ビット目のデジタルビデオ信号が画素に入力されると、表示期間 $T_{r4}$ は終了し、同時にフレーム期間が終了する。全ての表示期間( $T_{r1} \sim T_{r4}$ )が終了すると、1つの画像を表示することができる。そして上述した動作を繰り返す。

## 【 0 1 4 7 】

表示期間 $T_{r3}$ は、書き込み期間 $T_{a3}$ が開始されてから、書き込み期間 $T_{a4}$ が開始されるまでの期間である。そして表示期間 $T_{r4}$ は、書き込み期間 $T_{a4}$ が開始されてから、次のフレーム期間の書き込み期間 $T_{a1}$ が開始されるまでの期間である。

## 【 0 1 4 8 】

表示期間 $T_r$ の長さは、 $T_{r1} : T_{r2} : T_{r3} : T_{r4} = 2^0 : 2^1 : 2^2 : 2^3$ となるように設定する。この表示期間の組み合わせで $2^4$ 階調のうち所望の階調表示を行うことができる。

## 【 0 1 4 9 】

1フレーム期間中にEL素子が発光した表示期間の長さの総和を求めることによって、当該フレーム期間におけるその画素の表示した階調がきまる。全部の表示期間で画素が発光した場合の輝度を100%とすると、 $T_{r1}$ と $T_{r2}$ において画素が発光した場合には20%の輝度が表現でき、 $T_{r3}$ のみ選択した場合には27%の輝度が表現できる。

## 【 0 1 5 0 】

本実施例において、3ビット目のデジタルビデオ信号が画素に書き込まれる書き込み期間 $T_{a3}$ は、表示期間 $T_{r3}$ の長さよりも短いことが肝要である。

## 【 0 1 5 1 】

また表示期間 ( $T_{r1} \sim T_{r4}$ ) は、どのような順序で出現させても良い。例えば 1 フレーム期間中において、 $T_{r1}$  の次に  $T_{r3}$ 、 $T_{r4}$ 、 $T_{r2}$  という順序で表示期間を出現させることも可能である。ただし、消去期間 ( $T_{e1} \sim T_{e4}$ ) が互いに重ならない順序の方がより好ましい。また表示期間 ( $T_{r1} \sim T_{r4}$ ) も互いに重ならない順序の方がより好ましい。

## 【 0 1 5 2 】

本発明は上記構成によって、TFTによって  $I_{DS} - V_{GS}$  特性に多少のばらつきがあっても、等しいゲート電圧がかかったときに出力される電流量のばらつきを抑えることができる。よって  $I_{DS} - V_{GS}$  特性のバラツキによって、同じ電圧の信号を入力しても EL 素子の発光量が隣接画素で大きく異なってしまうという事態を避けることが可能になる。

## 【 0 1 5 3 】

また、本発明では、表示を行わない非発光期間を設けることができる。従来のアナログ駆動の場合、ELディスプレイに全白の画像を表示させると、常に EL 素子が発光することになり、EL層の劣化を早める原因となってしまう。本発明は非発光期間を設けることができるので、EL層の劣化をある程度抑えることができる。

## 【 0 1 5 4 】

なお本実施例は、実施例 2 と組み合わせて実施することが可能である。

## 【 0 1 5 5 】

## (実施例 4)

本実施例では、図 3 に示した本発明の EL ディスプレイの画素の上面図 (図 8) について説明する。図 3 と図 8 では共通の符号を用いるので互いに参照すれば良い。

## 【 0 1 5 6 】

図 8 において、ソース信号線 (S) と、電源供給線 (V) と、書き込み用ゲート信号線 (Ga) と、消去用ゲート信号線 (Ge) とをそれぞれ 1 つずつ有する領域 105 が画素である。画素 105 はスイッチング用 TFT 107 と、EL 駆

動用TFT108と、消去用TFT109とを有している。EL駆動用TFT108は第1及び第2のEL駆動用TFTを有しており、第1及び第2のEL駆動用TFTは並列に接続している。

## 【0157】

スイッチング用TFT107は、活性層107aと、書き込み用ゲート信号線(Ga)の一部であるゲート電極107bとを有している。EL駆動用TFT108は、活性層108aと、ゲート配線121の一部であるゲート電極108bとを有している。消去用TFT109は、活性層109aと、書き込み用ゲート信号線(Ge)の一部であるゲート電極109bとを有している。

## 【0158】

スイッチング用TFT107の活性層107aが有するソース領域とドレイン領域は、いずれか一方はソース信号線に、もう一方は接続配線113を介してゲート配線121に接続されている。なお113はソース信号線(S)に入力される信号の電位によって、ソース配線と呼んだり、ドレイン配線と呼んだりする。

## 【0159】

消去用TFT109の活性層109aが有するソース領域とドレイン領域は、いずれか一方はソース信号線に、もう一方は接続配線115を介してゲート配線121に接続されている。なお113は電源供給線(V)の電源電位によって、ソース配線と呼んだり、ドレイン配線と呼んだりする。

## 【0160】

EL駆動用TFT108の活性層108aが有するソース領域とドレイン領域は、それぞれ電源供給線(V)とドレイン配線114に接続されている。ドレイン配線114は画素電極117に接続されている。

## 【0161】

容量配線116は半導体膜で形成されている。コンデンサ112は、電源供給線(V)と電氣的に接続された容量配線116、ゲート絶縁膜と同一層の絶縁膜(図示せず)及びゲート配線121との間で形成される。また、ゲート配線121、第1層間絶縁膜と同一の層(図示せず)及び電源供給線(V)で形成される容量もコンデンサとして用いることが可能である。

## 【 0 1 6 2 】

なお画素電極 1 1 7 上には有機樹脂膜をエッチングすることで開口部 1 3 1 を設けたバンクが形成されている。そして図示しないが、画素電極 1 1 7 上に E L 層と対向電極が順に積層される。画素電極 1 0 5 と E L 層とはバンクの開口部 1 3 1 において接しており、E L 層は対向電極と画素電極とに接して挟まれている部分のみ発光する。

## 【 0 1 6 3 】

なお本発明の E L ディスプレイの画素部の上面図は、図 8 に示した構成に限定されない。

## 【 0 1 6 4 】

本実施例は実施例 1 ～ 3 と組み合わせて実施することが可能である。

## 【 0 1 6 5 】

(実施例 5)

本実施例では、図 1 で示した本発明の E L ディスプレイの駆動回路の詳しい構成について、図 9 を用いて説明する。

## 【 0 1 6 6 】

ソース信号線駆動回路 1 0 2 は基本的にシフトレジスタ 1 0 2 a、ラッチ (A) (第 1 のラッチ) 1 0 2 b、ラッチ (B) (第 2 のラッチ) 1 0 2 c を有している。

## 【 0 1 6 7 】

ソース信号線駆動回路 1 0 2 において、シフトレジスタ 1 0 2 a にクロック信号 (C L K) およびスタートパルス (S P) が入力される。シフトレジスタ 1 0 2 a は、これらのクロック信号 (C L K) およびスタートパルス (S P) に基づきタイミング信号を順に生成し、ラッチ (A) 1 0 2 b に入力する。

## 【 0 1 6 8 】

なお図 9 では図示しなかったが、シフトレジスタ 1 0 2 a から出力されたタイミング信号をバッファ等 (図示せず) によって緩衝増幅してから、後段の回路であるラッチ (A) 1 0 2 b に入力しても良い。タイミング信号が供給される配線には、多くの回路あるいは素子が接続されているために負荷容量 (寄生容量) が

大きい。この負荷容量が大きいために生ずるタイミング信号の立ち上がりまたは立ち下がりの”鈍り”を防ぐために、このバッファが設けられる。

## 【0169】

ラッチ (A) 102b は、n ビットのデジタルビデオ信号 (n bit digital video signals) を処理する複数のステージのラッチを有している。ラッチ (A) 102b は、タイミング信号が入力されると、ソース信号線駆動回路 102 の外部から入力される n ビットのデジタルビデオ信号を順次取り込み、保持する。

## 【0170】

なお、ラッチ (A) 102b にデジタルビデオ信号を取り込む際に、ラッチ (A) 102b が有する複数のステージのラッチに、順にデジタルビデオ信号を入力しても良い。しかし本発明はこの構成に限定されない。ラッチ (A) 102b が有する複数のステージのラッチをいくつかのグループに分け、各グループごとに並行して同時にデジタルビデオ信号を入力する、いわゆる分割駆動を行っても良い。なおこのときのグループの数を分割数と呼ぶ。例えば 4 つのステージごとにラッチをグループに分けた場合、4 分割で分割駆動すると言う。

## 【0171】

ラッチ (A) 102b の全てのステージのラッチにデジタルビデオ信号の書き込みが一通り終了するまでの時間を、ライン期間と呼ぶ。すなわち、ラッチ (A) 102b 中で一番左側のステージのラッチにデジタルビデオ信号の書き込みが開始される時点から、一番右側のステージのラッチにデジタルビデオ信号の書き込みが終了する時点までの時間間隔がライン期間である。実際には、上記ライン期間に水平帰線期間が加えられた期間をライン期間に含むことがある。

## 【0172】

1 ライン期間が終了すると、ラッチ (B) 102c にラッチシグナル (Latch Signal) が供給される。この瞬間、ラッチ (A) 102b に書き込まれ保持されているデジタルビデオ信号は、ラッチ (B) 102c に一齐に送出され、ラッチ (B) 102c の全ステージのラッチに書き込まれ、保持される。

## 【0173】

デジタルビデオ信号をラッチ (B) 102c に送出し終えたラッチ (A) 10



2 b には、シフトレジスタ 1 0 2 a からのタイミング信号に基づき、ソース信号線駆動回路 1 0 2 の外部から入力されるデジタルビデオ信号の書き込みが順次行われる。

【 0 1 7 4 】

この 2 順目の 1 ライン期間中には、ラッチ (B) 1 0 2 b に書き込まれ、保持されているデジタルビデオ信号がソース信号線に入力される。

【 0 1 7 5 】

一方、書き込み用ゲート信号線駆動回路 1 0 3 及び消去用ゲート信号線駆動回路 1 0 4 は、それぞれシフトレジスタ、バッファ (いずれも図示せず) を有している。また場合によっては、書き込み用ゲート信号線駆動回路 1 0 3 及び消去用ゲート信号線駆動回路 1 0 4 が、シフトレジスタ、バッファの他にレベルシフトを有していても良い。

【 0 1 7 6 】

書き込み用ゲート信号線駆動回路 1 0 3 及び消去用ゲート信号線駆動回路 1 0 4 において、シフトレジスタ (図示せず) からのタイミング信号がバッファ (図示せず) に供給され、対応するゲート信号線 (走査線とも呼ぶ) に供給される。ゲート信号線には、1 ライン分の画素 T F T のゲート電極が接続されており、1 ライン分全ての画素 T F T を同時に O N にしなくてはならないので、バッファは大きな電流を流すことが可能なものが用いられる。

【 0 1 7 7 】

なお本実施例は、実施例 1 ～ 4 と組み合わせて実施することが可能である。

【 0 1 7 8 】

(実施例 6)

本実施例では、本発明の E L ディスプレイの画素部とその周辺に設けられる駆動回路部 (ソース信号線駆動回路、書き込み用ゲート信号線駆動回路、消去用ゲート信号線駆動回路) の T F T を同時に作製する方法について説明する。但し、説明を簡単にするために、駆動回路に関しては基本単位である C M O S 回路を図示することとする。また消去用 T F T については、スイッチング用 T F T または E L 駆動用 T F T の作製方法を参照して作製することが可能であるので、ここで

は省略する。また E L 駆動用 T F T は第 1 の E L 駆動用 T F T についてのみ説明するが、第 2 の E L 駆動用 T F T も第 1 の E L 駆動用 T F T と同様に作製することが可能である。

## 【 0 1 7 9 】

まず、図 1 0 ( A ) に示すように、ガラス基板 5 0 0 上に下地膜 5 0 1 を 3 0 0 n m の厚さに形成する。本実施例では下地膜 5 0 1 として窒化酸化珪素膜を積層して用いる。この時、ガラス基板 5 0 0 に接する方の窒素濃度を 1 0 ~ 2 5 w t % としておく和良好的。また、下地膜 5 0 1 に放熱効果を持たせることは有効であり、D L C ( ダイヤモンドライクカーボン ) 膜を設けても良い。

## 【 0 1 8 0 】

次に下地膜 5 0 1 の上に 5 0 n m の厚さの非晶質珪素膜 ( 図示せず ) を公知の成膜法で形成する。なお、非晶質珪素膜に限定する必要はなく、非晶質構造を含む半導体膜 ( 微結晶半導体膜を含む ) であれば良い。さらに非晶質シリコンゲルマニウム膜などの非晶質構造を含む化合物半導体膜でも良い。また、膜厚は 2 0 ~ 1 0 0 n m の厚さであれば良い。

## 【 0 1 8 1 】

そして、公知の技術により非晶質珪素膜を結晶化し、結晶質珪素膜 ( 多結晶シリコン膜若しくはポリシリコン膜ともいう ) 5 0 2 を形成する。公知の結晶化方法としては、電熱炉を使用した熱結晶化方法、レーザー光を用いたレーザーアニール結晶化法、赤外光を用いたランプアニール結晶化法がある。本実施例では、X e C l ガスを用いたエキシマレーザー光を用いて結晶化する。

## 【 0 1 8 2 】

なお、本実施例では線状に加工したパルス発振型のエキシマレーザー光を用いるが、矩形であっても良いし、連続発振型のアルゴンレーザー光や連続発振型のエキシマレーザー光を用いることもできる。

## 【 0 1 8 3 】

また、本実施例では結晶質珪素膜を T F T の活性層として用いるが、非晶質珪素膜を活性層として用いることも可能である。

## 【 0 1 8 4 】

なお、オフ電流を低減する必要があるスイッチング用 T F T の活性層を非晶質珪素膜で形成し、E L 駆動用 T F T の活性層を結晶質珪素膜で形成することは有効である。非晶質珪素膜はキャリア移動度が低いため電流を流しにくくオフ電流が流れにくい。即ち、電流を流しにくい非晶質珪素膜と電流を流しやすい結晶質珪素膜の両者の利点を生かすことができる。

## 【 0 1 8 5 】

次に、図 1 0 ( B ) に示すように、結晶質珪素膜 5 0 2 上に酸化珪素膜でなる保護膜 5 0 3 を 1 3 0 n m の厚さに形成する。この厚さは 1 0 0 ~ 2 0 0 n m ( 好ましくは 1 3 0 ~ 1 7 0 n m ) の範囲で選べば良い。また、珪素を含む絶縁膜であれば他の膜でも良い。この保護膜 5 0 3 は不純物を添加する際に結晶質珪素膜が直接プラズマに曝されないようにするためと、微妙な濃度制御を可能にするために設ける。

## 【 0 1 8 6 】

そして、その上にレジストマスク 5 0 4 a、5 0 4 b を形成し、保護膜 5 0 3 を介して n 型を付与する不純物元素 ( 以下、n 型不純物元素という ) を添加する。なお、n 型不純物元素としては、代表的には周期表の 1 5 族に属する元素、典型的にはリン又は砒素を用いることができる。なお、本実施例ではフォスフィン (  $\text{PH}_3$  ) を質量分離しないでプラズマ励起したプラズマドーピング法を用い、リンを  $1 \times 10^{18} \text{atoms/cm}^3$  の濃度で添加する。勿論、質量分離を行うイオンインプランテーション法を用いても良い。

## 【 0 1 8 7 】

この工程により形成される n 型不純物領域 ( b ) 5 0 5 には、n 型不純物元素が  $2 \times 10^{16} \sim 5 \times 10^{19} \text{atoms/cm}^3$  ( 代表的には  $5 \times 10^{17} \sim 5 \times 10^{18} \text{atoms/cm}^3$  ) の濃度で含まれるようにドーズ量を調節する。

## 【 0 1 8 8 】

次に、図 1 0 ( C ) に示すように、保護膜 5 0 3、レジストマスク 5 0 4 a、5 0 4 b を除去し、添加した n 型不純物元素の活性化を行う。活性化手段は公知の技術を用いれば良いが、本実施例ではエキシマレーザー光の照射 ( レーザーアニール ) により活性化する。勿論、パルス発振型でも連続発振型でも良いし、エ

キシマレーザー光に限定する必要はない。但し、添加された不純物元素の活性化が目的であるので、結晶質珪素膜が溶融しない程度のエネルギーで照射することが好ましい。なお、保護膜 5 0 3 をつけたままレーザー光を照射しても良い。

## 【 0 1 8 9 】

なお、このレーザー光による不純物元素の活性化に際して、熱処理（ファーンエスアニール）による活性化を併用しても構わない。熱処理による活性化を行う場合は、基板の耐熱性を考慮して 4 5 0 ～ 5 5 0 ℃ 程度の熱処理を行えば良い。

## 【 0 1 9 0 】

この工程により n 型不純物領域 (b) 5 0 5 の端部、即ち、n 型不純物領域 (b) 5 0 5 の周囲に存在する n 型不純物元素を添加していない領域との境界部（接合部）が明確になる。このことは、後に T F T が完成した時点において、L D D 領域とチャネル形成領域とが非常に良好な接合部を形成しうることを意味する。

## 【 0 1 9 1 】

次に、図 1 0 (D) に示すように、結晶質珪素膜の不要な部分を除去して、島状の半導体膜（以下、活性層という）5 0 6 ～ 5 0 9 を形成する。

## 【 0 1 9 2 】

次に、図 1 0 (E) に示すように、活性層 5 0 6 ～ 5 0 9 を覆ってゲート絶縁膜 5 1 0 を形成する。ゲート絶縁膜 5 1 0 としては、1 0 ～ 2 0 0 n m、好ましくは 5 0 ～ 1 5 0 n m の厚さの珪素を含む絶縁膜を用いれば良い。これは単層構造でも積層構造でも良い。本実施例では 1 1 0 n m 厚の窒化酸化珪素膜を用いる。

## 【 0 1 9 3 】

次に、2 0 0 ～ 4 0 0 n m 厚の導電膜を形成し、パターニングしてゲート電極 5 1 1 ～ 5 1 5 を形成する。なお、本実施例ではゲート電極と、ゲート電極に電氣的に接続された引き回しのための配線（以下、ゲート配線という）とを別の材料で形成する。具体的にはゲート電極よりも低抵抗な材料をゲート配線として用いる。これは、ゲート電極としては微細加工が可能な材料を用い、ゲート配線には微細加工はできなくとも配線抵抗が小さい材料を用いるためである。勿論、ゲート電極とゲート配線とを同一材料で形成してしまっても構わない。

## 【 0 1 9 4 】

また、ゲート電極は単層の導電膜で形成しても良いが、必要に応じて二層、三層といった積層膜とすることが好ましい。ゲート電極の材料としては公知のあらゆる導電膜を用いることができる。ただし、上述のように微細加工が可能、具体的には  $2\ \mu\text{m}$  以下の線幅にパターニング可能な材料が好ましい。

## 【 0 1 9 5 】

代表的には、タンタル (Ta)、チタン (Ti)、モリブデン (Mo)、タングステン (W)、クロム (Cr)、シリコン (Si) から選ばれた元素でなる膜、または前記元素の窒化物膜（代表的には窒化タンタル膜、窒化タングステン膜、窒化チタン膜）、または前記元素を組み合わせた合金膜（代表的には Mo-W 合金、Mo-Ta 合金）、または前記元素のシリサイド膜（代表的にはタングステンシリサイド膜、チタンシリサイド膜）を用いることができる。勿論、単層で用いても積層して用いても良い。

## 【 0 1 9 6 】

本実施例では、 $30\ \text{nm}$  厚の窒化タングステン (WN) 膜と、 $370\ \text{nm}$  厚のタングステン (W) 膜とでなる積層膜を用いる。これはスパッタ法で形成すれば良い。また、スパッタガスとして Xe、Ne 等の不活性ガスを添加すると応力による膜はがれを防止することができる。

## 【 0 1 9 7 】

またこの時、ゲート電極 512 は n 型不純物領域 (b) 505 の一部とゲート絶縁膜 510 を介して重なるように形成する。この重なった部分が後にゲート電極と重なった LDD 領域となる。(図 10 (E))

## 【 0 1 9 8 】

次に、図 11 (A) に示すように、ゲート電極 511 ~ 515 をマスクとして自己整合的に n 型不純物元素（本実施例ではリン）を添加する。こうして形成される n 型不純物領域 (c) 516 ~ 523 には n 型不純物領域 (b) 505 の  $1/2 \sim 1/10$ （代表的には  $1/3 \sim 1/4$ ）の濃度でリンが添加されるように調節する。具体的には、 $1 \times 10^{16} \sim 5 \times 10^{18}\ \text{atoms/cm}^3$ （典型的には  $3 \times 10^{17} \sim 3 \times 10^{18}\ \text{atoms/cm}^3$ ）の濃度が好ましい。

## 【 0 1 9 9 】

次に、図 1 1 (B) に示すように、ゲート電極 5 1 1、5 1 3 ~ 5 1 5 等を覆う形でレジストマスク 5 2 4 a ~ 5 2 4 d を形成し、n 型不純物元素（本実施例ではリン）を添加して高濃度にリンを含む n 型不純物領域 (a) 5 2 5 ~ 5 2 9 を形成する。ここでもフォスフィン ( $\text{PH}_3$ ) を用いたイオンドープ法で行い、この領域のリンの濃度は  $1 \times 10^{20} \sim 1 \times 10^{21} \text{ atoms/cm}^3$ （代表的には  $2 \times 10^{20} \sim 5 \times 10^{21} \text{ atoms/cm}^3$ ）となるように調節する。

## 【 0 2 0 0 】

この工程によって n チャネル型 T F T のソース領域若しくはドレイン領域が形成されるが、スイッチング用 T F T では、図 1 1 (A) の工程で形成した n 型不純物領域 (c) 5 1 9 ~ 5 2 1 の一部を残す。この残された領域が、スイッチング用 T F T の L D D 領域となる。

## 【 0 2 0 1 】

次に、図 1 1 (C) に示すように、レジストマスク 5 2 4 a ~ 5 2 4 d を除去し、新たにレジストマスク 5 3 0 を形成する。そして、p 型不純物元素（本実施例ではボロン）を添加し、高濃度にボロンを含む p 型不純物領域 5 3 1 ~ 5 3 4 を形成する。ここではジボラン ( $\text{B}_2\text{H}_6$ ) を用いたイオンドープ法により  $3 \times 10^{20} \sim 3 \times 10^{21} \text{ atoms/cm}^3$ （代表的には  $5 \times 10^{20} \sim 1 \times 10^{21} \text{ atoms/cm}^3$ ）濃度となるようにボロンを添加する。

## 【 0 2 0 2 】

なお、p 型不純物領域 5 3 1 ~ 5 3 4 には既に  $1 \times 10^{20} \sim 1 \times 10^{21} \text{ atoms/cm}^3$  の濃度でリンが添加されているが、ここで添加されるボロンはその少なくとも 3 倍以上の濃度で添加される。そのため、予め形成されていた n 型の不純物領域は完全に p 型に反転し、p 型の不純物領域として機能する。

## 【 0 2 0 3 】

次に、レジストマスク 5 3 0 を除去した後、それぞれの濃度で添加された n 型または p 型不純物元素を活性化する。活性化手段としては、ファーネスアニール法、レーザーアニール法、またはランプアニール法で行うことができる。本実施例では電熱炉において窒素雰囲気中、 $550^\circ\text{C}$ 、4 時間の熱処理を行う。

## 【 0 2 0 4 】

このとき雰囲気中の酸素を極力排除することが重要である。なぜならば酸素が少しでも存在していると露呈したゲート電極の表面が酸化され、抵抗の増加を招くと共に後にオーミックコンタクトを取りにくくなるからである。従って、上記活性化工程における処理雰囲気中の酸素濃度は 1 p p m 以下、好ましくは 0 . 1 p p m 以下とすることが望ましい。

## 【 0 2 0 5 】

次に、活性化工程が終了したら 3 0 0 n m 厚のゲート配線（ゲート信号線）5 3 5 を形成する。ゲート配線 5 3 5 の材料としては、アルミニウム（A l）又は銅（C u）を主成分（組成として 5 0 ～ 1 0 0 % を占める。）とする金属膜を用いれば良い。ゲート配線 5 3 5 は、スイッチング用 T F T のゲート電極 5 1 3、5 1 4 を電氣的に接続するように形成する。（図 1 1 （D））

## 【 0 2 0 6 】

このような構造とすることでゲート配線の配線抵抗を非常に小さくすることができるため、面積の大きい画像表示領域（表示部）を形成することができる。即ち、画面の大きさが対角 1 0 インチ以上（さらには 3 0 インチ以上）の E L ディスプレイを実現する上で、本実施例の画素構造は極めて有効である。

## 【 0 2 0 7 】

次に、図 1 2 （A）に示すように、第 1 層間絶縁膜 5 3 7 を形成する。第 1 層間絶縁膜 5 3 7 としては、珪素を含む絶縁膜を単層で用いるか、その中で組み合わせた積層膜を用いれば良い。また、膜厚は 4 0 0 n m ～ 1 . 5  $\mu$  m とすれば良い。本実施例では、2 0 0 n m 厚の窒化酸化珪素膜の上に 8 0 0 n m 厚の酸化珪素膜を積層した構造とする。

## 【 0 2 0 8 】

さらに、3 ～ 1 0 0 % の水素を含む雰囲気中で、3 0 0 ～ 4 5 0  $^{\circ}$  C で 1 ～ 1 2 時間の熱処理を行い水素化処理を行う。この工程は熱的に励起された水素により半導体膜の不對結合手を水素終端する工程である。水素化の他の手段として、プラズマ水素化（プラズマにより励起された水素を用いる）を行っても良い。

## 【 0 2 0 9 】

なお、水素化処理は第 1 層間絶縁膜 5 3 7 を形成する間に入れても良い。即ち、200 nm 厚の窒化酸化珪素膜を形成した後で上記のように水素化処理を行い、その後で残り 800 nm 厚の酸化珪素膜を形成しても構わない。

#### 【0 2 1 0】

次に、第 1 層間絶縁膜 5 3 7 に対してコンタクトホールを形成し、ソース配線 5 3 8 ~ 5 4 1 と、ドレイン配線 5 4 2 ~ 5 4 4 を形成する。なお、本実施例ではこの電極を、Ti 膜を 100 nm、Ti を含むアルミニウム膜を 300 nm、Ti 膜 150 nm をスパッタ法で連続形成した 3 層構造の積層膜とする。勿論、他の導電膜でも良い。

#### 【0 2 1 1】

次に、図 1 2 (A) に示すように 50 ~ 500 nm (代表的には 200 ~ 300 nm) の厚さで第 1 パッシベーション膜 5 4 7 を形成する。本実施例では第 1 パッシベーション膜 5 4 7 として 300 nm 厚の窒化酸化珪素膜を用いる。これは窒化珪素膜で代用しても良い。なお、窒化酸化珪素膜の形成に先立って  $H_2$ 、 $NH_3$  等水素を含むガスを用いてプラズマ処理を行うことは有効である。この前処理により励起された水素が第 1 層間絶縁膜 5 3 7 に供給され、熱処理を行うことで、第 1 パッシベーション膜 5 4 7 の膜質が改善される。それと同時に、第 1 層間絶縁膜 5 3 7 に添加された水素が下層側に拡散するため、効果的に活性層を水素化することができる。

#### 【0 2 1 2】

次に、有機樹脂からなる第 2 層間絶縁膜 5 4 8 を形成する。有機樹脂としてはポリイミド、ポリアミド、アクリル、BCB (ベンゾシクロブテン) 等を使用することができる。特に、第 2 層間絶縁膜 5 4 8 は平坦化の意味合いが強いので、平坦性に優れたアクリルが好ましい。本実施例では TFT によって形成される段差を十分に平坦化しうる膜厚でアクリル膜を形成する。好ましくは 1 ~ 5  $\mu m$  (さらに好ましくは 2 ~ 4  $\mu m$ ) とすれば良い。(図 1 2 (B))

#### 【0 2 1 3】

次に第 2 層間絶縁膜 5 4 8 及び第 1 パッシベーション膜 5 4 7 に、ドレイン配線 5 4 4 に達するコンタクトホールを形成し、画素電極 5 5 5 を形成する。本実



施例では酸化インジウム・スズ（ITO）膜を110nmの厚さに形成し、パターンニングを行って画素電極555を形成する。また、酸化インジウムに2～20%の酸化亜鉛（ZnO）を混合した透明導電膜を用いても良い。この画素電極555がEL素子の陽極となる。

#### 【0214】

次に有機樹脂膜を画素電極555及び第2層間絶縁膜548上に形成し、該有機樹脂膜をパターンニングすることで、バンク556を形成する。バンク556は、隣り合う画素の発光層またはEL層を分離するために、画素と画素との間にマトリクス状に形成される。特にバンク部556を、画素電極555とEL駆動用TFT583のドレイン配線544とが接続されている部分の上に設けることで、コンタクトホールの部分において生じる画素電極555の段差によるEL層557の発光不良を防ぐことができる。なおバンク556を形成している樹脂材料に顔料等を混ぜ、バンク556を遮蔽膜として用いても良い。

#### 【0215】

次に、EL層557及び陰極（MgAg電極）558を、真空蒸着法を用いて大気解放しないで連続形成する。なお、EL層557の膜厚は800～200nm（典型的には100～120nm）、陰極558の厚さは180～300nm（典型的には200～250nm）とすれば良い。なお、本実施例では一画素しか図示されていないが、このとき同時に赤色に発光するEL層、緑色に発光するEL層及び青色に発光するEL層が形成される。

#### 【0216】

この工程では、赤色に対応する画素、緑色に対応する画素及び青色に対応する画素に対して順次EL層557及び陰極558を形成する。但し、EL層557は溶液に対する耐性に乏しいためフォトリソグラフィ技術を用いずに各色個別に形成しなくてはならない。そこでメタルマスクを用いて所望の画素以外を隠し、必要箇所だけ選択的にEL層557及び陰極558を形成するのが好ましい。

#### 【0217】

即ち、まず赤色に対応する画素以外を全て隠すマスクをセットし、そのマスクを用いて赤色発光のEL層及び陰極を選択的に形成する。次いで、緑色に対応す

る画素以外を全て隠すマスクをセットし、そのマスクを用いて緑色発光のE L層及び陰極を選択的に形成する。次いで、同様に青色に対応する画素以外を全て隠すマスクをセットし、そのマスクを用いて青色発光のE L層及び陰極を選択的に形成する。なお、ここでは全て異なるマスクを用いるように記載しているが、同じマスクを使いまわしても構わない。また、全画素にE L層及び陰極を形成するまで真空を破らずに処理することが好ましい。

## 【 0 2 1 8 】

なお、本実施例ではE L層5 5 7を発光層のみからなる単層構造とするが、E L層は発光層の他に正孔輸送層、正孔注入層、電子輸送層、電子注入層等を有していても構わない。このように組み合わせは既に様々な例が報告されており、そのいずれの構成を用いても構わない。E L層5 5 7としては公知の材料を用いることができる。公知の材料としては、E L駆動電圧を考慮すると有機材料を用いるのが好ましい。また、本実施例ではE L素子の陰極としてM g A g電極を用いた例を示すが、公知の他の材料を用いることが可能である。

## 【 0 2 1 9 】

こうして図1 2 (C) に示すような構造のアクティブマトリクス基板が完成する。なお、バンク5 5 6を形成した後、陰極5 5 8を形成するまでの工程をマルチチャンバー方式（またはインライン方式）の薄膜形成装置を用いて、大気解放せずに連続的に処理することは有効である。

## 【 0 2 2 0 】

本実施例において、スイッチング用T F T 5 8 2の活性層は、ソース領域5 6 0、ドレイン領域5 6 1、L D D領域5 6 2～5 6 5、チャネル形成領域5 6 6、5 6 7及び分離領域5 6 8を含んでいる。L D D領域5 6 2～5 6 5はゲート絶縁膜5 1 0を介してゲート電極5 1 3、5 1 4と重ならないように設ける。このような構造はオフ電流を低減する上で非常に効果的である。

## 【 0 2 2 1 】

また、スイッチング用T F T 5 8 2はダブルゲート構造としており、ダブルゲート構造とすることで実質的に二つのT F Tが直列された構造となり、オフ電流を低減することができるという利点がある。なお、本実施例ではダブルゲート構

造としているが、シングルゲート構造でも構わないし、トリプルゲート構造やそれ以上のゲート本数を持つマルチゲート構造でも構わない。

## 【 0 2 2 2 】

なお、本実施例のアクティブマトリクス基板は、画素部だけでなく駆動回路部にも最適な構造のTFTを配置することにより、非常に高い信頼性を示し、動作特性も向上しうる。

## 【 0 2 2 3 】

まず、極力動作速度を落とさないようにホットキャリア注入を低減させる構造を有するTFTを、駆動回路部を形成するCMOS回路のnチャネル型TFT 581として用いる。なお、ここでのいう駆動回路としては、シフトレジスタ、バッファ、レベルシフタ、サンプリング回路（サンプル及びホールド回路）などが含まれる。デジタル駆動を行う場合には、D/Aコンバータなどの信号変換回路も含まれ得る。

## 【 0 2 2 4 】

本実施例の場合、nチャネル型TFT 581の活性層は、ソース領域591、ドレイン領域592、LDD領域593及びチャネル形成領域594を含み、LDD領域593はゲート絶縁膜510を介してゲート電極512と重なっている。

## 【 0 2 2 5 】

ドレイン領域592側のみにLDD領域593を形成しているのは、動作速度を落とさないための配慮である。また、このnチャネル型TFT 581はオフ電流をあまり気にする必要はなく、それよりも動作速度を重視した方がよい。従って、LDD領域593は完全にゲート電極512に重なってしまい、極力抵抗成分を少なくすることが望ましい。即ち、いわゆるオフセットはなくした方がよい。

## 【 0 2 2 6 】

また、CMOS回路のpチャネル型TFT 580は、ホットキャリア注入による劣化が殆ど気にならないので、特にLDD領域を設けなくても良い。勿論、nチャネル型TFT 581と同様にLDD領域を設け、ホットキャリア対策を講じることが可能である。

## 【 0 2 2 7 】

なお、実際には図 1 2 (C) まで完成したら、さらに外気に曝されないように気密性が高く、脱ガスの少ない保護フィルム（ラミネートフィルム、紫外線硬化樹脂フィルム等）や透光性のシーリング材でパッケージング（封入）することが好ましい。その際、シーリング材の内部を不活性雰囲気にしたり、内部に吸湿性材料（例えば酸化バリウム）を配置したりすると E L 素子の信頼性が向上する。

## 【 0 2 2 8 】

また、パッケージング等の処理により気密性を高めたら、基板上に形成された素子又は回路から引き回された端子と外部信号端子とを接続するためのコネクタ（フレキシブルプリントサーキット：F P C）を取り付けて製品として完成する。このような出荷できるまでした状態を本明細書中では E L ディスプレイ（E L モジュール）という。

## 【 0 2 2 9 】

なお本実施例は、実施例 1 ～ 5 と組み合わせて実施することが可能である。

## 【 0 2 3 0 】

## （実施例 7）

本実施例では、本発明の E L ディスプレイの断面構造の概略について、図 1 2 とは別の例を図 1 3 を用いて説明する。図 1 2 では、スイッチング用 T F T、消去用 T F T、第 1 及び第 2 の E L 駆動用 T F T がトップゲート型の T F T である例について示したが、本実施例では T F T にボトムゲート型の薄膜トランジスタを用いた例について説明する。

## 【 0 2 3 1 】

図 1 3 において、8 1 1 は基板、8 1 2 は下地となる絶縁膜（以下、下地膜という）である。基板 8 1 1 としては透光性基板、代表的にはガラス基板、石英基板、ガラスセラミックス基板、又は結晶化ガラス基板を用いることができる。但し、作製プロセス中の最高処理温度に耐えるものでなくてはならない。

## 【 0 2 3 2 】

また、下地膜 8 1 2 は特に可動イオンを含む基板や導電性を有する基板を用いる場合に有効であるが、石英基板には設けなくても構わない。下地膜 8 1 2 とし

ては、珪素（シリコン）を含む絶縁膜を用いれば良い。なお、本明細書において「珪素を含む絶縁膜」とは、具体的には酸化珪素膜、窒化珪素膜若しくは窒化酸化珪素膜（ $\text{SiO}_x\text{N}_y$ ： $x$ 、 $y$ は任意の整数、で示される）など珪素に対して酸素若しくは窒素を所定の割合で含ませた絶縁膜を指す。

## 【0233】

8201はスイッチング用TFT、8202は第1のEL駆動用TFTであり、それぞれnチャネル型TFT、pチャネル型TFTで形成されている。ELの発光方向が基板の下面（TFT及びEL層が設けられていない面）の場合、上記構成であることが好ましい。しかし本発明はこの構成に限定されない。スイッチング用TFTと第1のEL駆動用TFTは、nチャネル型TFTでもpチャネル型TFTでも、どちらでも構わない。なお本実施例では消去用TFTを示していないが、スイッチング用TFTと同様に形成することが可能であるので、消去用TFTの詳しい構成については、ここでは省略する。また第2のEL駆動用TFTは、第1のEL駆動用TFTと同じ構成を有しているため、ここではその詳しい構成についての説明は省略する。

## 【0234】

スイッチング用TFT8201は、ソース領域813、ドレイン領域814、LDD領域815a～815d、分離領域816及びチャネル形成領域817a、817bを含む活性層と、ゲート絶縁膜818と、ゲート電極819a、819bと、第1層間絶縁膜820と、ソース信号線821と、ドレイン配線822とを有している。なお、ゲート絶縁膜818又は第1層間絶縁膜820は基板上の全TFTに共通であっても良いし、回路又は素子に応じて異ならせても良い。

## 【0235】

また、図13に示すスイッチング用TFT8201はゲート電極817a、817bが電氣的に接続されており、いわゆるダブルゲート構造となっている。勿論、ダブルゲート構造だけでなく、トリプルゲート構造などいわゆるマルチゲート構造（直列に接続された二つ以上のチャネル形成領域を有する活性層を含む構造）であっても良い。

## 【0236】

マルチゲート構造はオフ電流を低減する上で極めて有効であり、スイッチング用TFTのオフ電流を十分に低くすれば、それだけ第1のEL駆動用TFT 8 2 0 2のゲート電極に接続されたコンデンサが必要とする最低限の容量を抑えることができる。即ち、コンデンサの面積を小さくすることができるので、マルチゲート構造とすることはEL素子の有効発光面積を広げる上でも有効である。

## 【0 2 3 7】

さらに、スイッチング用TFT 8 2 0 1においては、LDD領域 8 1 5 a ~ 8 1 5 dは、ゲート絶縁膜 8 1 8を介してゲート電極 8 1 9 a、8 1 9 bと重ならないように設ける。このような構造はオフ電流を低減する上で非常に効果的である。また、LDD領域 8 1 5 a ~ 8 1 5 dの長さ(幅)は0. 5 ~ 3. 5  $\mu$  m、代表的には2. 0 ~ 2. 5  $\mu$  mとすれば良い。

## 【0 2 3 8】

なお、チャネル形成領域とLDD領域との間にオフセット領域(チャネル形成領域と同一組成の半導体層でなり、ゲート電圧が加えられない領域)を設けることはオフ電流を下げる上でさらに好ましい。また、二つ以上のゲート電極を有するマルチゲート構造の場合、チャネル形成領域の間に設けられた分離領域 8 1 6 (ソース領域又はドレイン領域と同一の濃度で同一の不純物元素が添加された領域)がオフ電流の低減に効果的である。

## 【0 2 3 9】

次に、第1のEL駆動用TFT 8 2 0 2は、ソース領域 8 2 6、ドレイン領域 8 2 7及びチャネル形成領域 8 2 9を含む活性層と、ゲート絶縁膜 8 1 8と、ゲート電極 8 3 0と、第1層間絶縁膜 8 2 0と、ソース信号線 8 3 1並びにドレイン配線 8 3 2を有して形成される。本実施例において第1のEL駆動用TFT 8 2 0 2はpチャネル型TFTである。

## 【0 2 4 0】

また、スイッチング用TFT 8 2 0 1のドレイン領域 8 1 4は第1のEL駆動用TFT 8 2 0 2のゲート 8 3 0に接続されている。図示してはいないが、具体的には第1のEL駆動用TFT 8 2 0 2のゲート電極 8 2 9はスイッチング用TFT 8 2 0 1のドレイン領域 8 1 4とドレイン配線(接続配線とも言える) 8 2

2を介して電氣的に接続されている。なお図示していないが、ゲート電極830とソース領域826とドレイン領域827とは、第2のEL駆動用TFTのゲート電極とソース領域とドレイン領域と、それぞれ電氣的に接続されている。これにより、EL駆動用TFTの活性層を流れる電流によって発生した熱の放射を効率的に行うことができ、EL駆動用TFTの劣化を抑えることができる。また、EL駆動用TFTのしきい値や移動度などの特性のばらつきによって生じるドレイン電流のばらつきを抑えることができる。また、第1のEL駆動用TFT8202のソース信号線831は電源供給線（図示せず）に接続される。

## 【0241】

第1のEL駆動用TFT8202及び第2のEL駆動用TFT（図示せず）はEL素子854に供給される電流量を制御するための素子であり、比較的多くの電流が流れる。そのため、第1のEL駆動用TFT8202と第2のEL駆動用TFTのチャネル幅（W）を合わせた長さは、スイッチング用TFT8201のチャネル幅よりも長くなるように設計することが好ましい。また、第1及び第2のEL駆動用TFTに過剰な電流が流れないように、チャネル長（L）はそれぞれ長めに設計することが好ましい。望ましくはそれぞれ0.5～2 $\mu$ A（好ましくは1～1.5 $\mu$ A）となるようにする。

## 【0242】

またさらに、第1及び第2のEL駆動用TFTの活性層（特にチャネル形成領域）の膜厚を厚くする（好ましくは50～100nm、さらに好ましくは60～80nm）ことによって、TFTの劣化を抑えてもよい。逆に、スイッチング用TFT8201の場合はオフ電流を小さくするという観点から見れば、活性層（特にチャネル形成領域）の膜厚を薄くする（好ましくは20～50nm、さらに好ましくは25～40nm）ことも有効である。

## 【0243】

以上は画素内に設けられたTFTの構造について説明したが、このとき同時に駆動回路も形成される。図13には駆動回路を形成する基本単位となるCMOS回路が図示されている。

## 【0244】

図 1 3 においては極力動作速度を落とさないようにしつつホットキャリア注入を低減させる構造を有する T F T を C M O S 回路の n チャネル型 T F T 8 2 0 4 として用いる。なお、ここでいう駆動回路としては、ソース信号線駆動回路、ゲート信号線駆動回路を指す。勿論、他の論理回路（レベルシフタ、A / D コンバータ、信号分割回路等）を形成することも可能である。

## 【 0 2 4 5 】

C M O S 回路の n チャネル型 T F T 8 2 0 4 の活性層は、ソース領域 8 3 5、ドレイン領域 8 3 6、L D D 領域 8 3 7 及びチャネル形成領域 8 3 8 を含み、L D D 領域 8 3 7 はゲート絶縁膜 8 1 8 を介してゲート電極 8 3 9 と重なっている。

## 【 0 2 4 6 】

ドレイン領域 8 3 6 側のみに L D D 領域 8 3 7 を形成しているのは、動作速度を落とさないための配慮である。また、この n チャネル型 T F T 8 2 0 4 はオフ電流をあまり気にする必要はなく、それよりも動作速度を重視した方がよい。従って、オフセットはなくした方がよい。

## 【 0 2 4 7 】

また、C M O S 回路の p チャネル型 T F T 8 2 0 5 は、ホットキャリア注入による劣化が殆ど気にならないので、特に L D D 領域を設けなくても良い。従って活性層はソース領域 8 4 0、ドレイン領域 8 4 1 及びチャネル形成領域 8 4 2 を含み、その上にはゲート絶縁膜 8 1 8 とゲート電極 8 4 3 が設けられる。勿論、n チャネル型 T F T 8 2 0 4 と同様に L D D 領域を設け、ホットキャリア対策を講じることも可能である。

## 【 0 2 4 8 】

なお 8 6 1 ～ 8 6 5 はチャネル形成領域 8 4 2、8 3 8、8 1 7 a、8 1 7 b、8 2 9 を形成するためのマスクである。

## 【 0 2 4 9 】

また、n チャネル型 T F T 8 2 0 4 及び p チャネル型 T F T 8 2 0 5 はそれぞれソース領域上に第 1 層間絶縁膜 8 2 0 を間に介して、ソース信号線 8 4 4、8 4 5 を有している。また、ドレイン配線 8 4 6 によって n チャネル型 T F T 8 2



0 4 と p チャネル型 T F T 8 2 0 5 のドレイン領域は互いに電氣的に接続される。

#### 【 0 2 5 0 】

次に、8 4 7 は第 1 パッシベーション膜であり、膜厚は  $10\text{ nm} \sim 1\text{ }\mu\text{ m}$  (好ましくは  $200 \sim 500\text{ nm}$ ) とすれば良い。材料としては、珪素を含む絶縁膜 (特に窒化酸化珪素膜又は窒化珪素膜が好ましい) を用いることができる。このパッシベーション膜 8 4 7 は形成された T F T をアルカリ金属や水分から保護する役割金属を有する。最終的に T F T (特に E L 駆動用 T F T) の上方に設けられる E L 層にはナトリウム等のアルカリ金属が含まれている。即ち、第 1 パッシベーション膜 8 4 7 はこれらのアルカリ金属 (可動イオン) を T F T 側に侵入させない保護層としても働く。

#### 【 0 2 5 1 】

また、8 4 8 は第 2 層間絶縁膜であり、T F T によってできる段差の平坦化を行う平坦化膜としての機能を有する。第 2 層間絶縁膜 8 4 8 としては、有機樹脂膜が好ましく、ポリイミド、ポリアミド、アクリル、BCB (ベンゾシクロブテン) 等を用いると良い。これらの有機樹脂膜は良好な平坦面を形成しやすく、比誘電率が低いという利点を有する。E L 層は凹凸に非常に敏感であるため、T F T による段差は第 2 層間絶縁膜 8 4 8 で殆ど吸収してしまうことが望ましい。また、ゲート信号線やソース信号線と E L 素子の陰極との間に形成される寄生容量を低減する上で、比誘電率の低い材料を厚く設けておくことが望ましい。従って、膜厚は  $0.5 \sim 5\text{ }\mu\text{ m}$  (好ましくは  $1.5 \sim 2.5\text{ }\mu\text{ m}$ ) が好ましい。

#### 【 0 2 5 2 】

また、8 4 9 は透明導電膜でなる画素電極 (E L 素子の陽極) であり、第 2 層間絶縁膜 8 4 8 及び第 1 パッシベーション膜 8 4 7 にコンタクトホール (開孔) を開けた後、形成された開孔部において第 1 の E L 駆動用 T F T 8 2 0 2 のドレイン配線 8 3 2 に接続されるように形成される。なお、図 1 3 のように画素電極 8 4 9 とドレイン領域 8 2 7 とが直接接続されないようにしておくこと、E L 層のアルカリ金属が画素電極を経由して活性層へ侵入することを防ぐことができる。

#### 【 0 2 5 3 】

画素電極 8 4 9 の上には酸化珪素膜、窒化酸化珪素膜または有機樹脂膜でなる第 3 層間絶縁膜 8 5 0 が  $0.3 \sim 1 \mu\text{m}$  の厚さに設けられる。この第 3 層間絶縁膜 8 5 0 はバンクとして機能する。画素電極 8 4 9 の上にエッチングにより開口部が設けられ、その開口部の縁はテーパ形状となるようにエッチングする。テーパの角度は  $10 \sim 60^\circ$ （好ましくは  $30 \sim 50^\circ$ ）とすると良い。特に第 3 層間絶縁膜 8 5 0 を、画素電極 8 4 9 と第 1 の E L 駆動用 T F T 8 2 0 2 及び第 2 の E L 駆動用 T F T のドレイン配線 8 3 2 とが接続されている部分の上に設けることで、コンタクトホールの部分において生じる画素電極 8 4 9 の段差による E L 層 8 5 1 の発光不良を防ぐことができる。

## 【 0 2 5 4 】

第 3 層間絶縁膜 8 5 0 の上には E L 層 8 5 1 が設けられる。E L 層 8 5 1 は単層又は積層構造で用いられるが、積層構造で用いた方が発光効率は良い。一般的には画素電極上に正孔注入層／正孔輸送層／発光層／電子輸送層の順に形成されるが、正孔輸送層／発光層／電子輸送層、または正孔注入層／正孔輸送層／発光層／電子輸送層／電子注入層のような構造でも良い。本発明では公知のいずれの構造を用いても良いし、E L 層に対して蛍光性色素等をドーピングしても良い。

## 【 0 2 5 5 】

図 1 3 の構造は R G B に対応した三種類の E L 素子を形成する方式を用いた場合の例である。なお、図 1 3 には一つの画素しか図示していないが、同一構造の画素が赤、緑又は青のそれぞれの色に対応して形成され、これによりカラー表示を行うことができる。本発明は発光方式に関わらず実施することが可能である。

## 【 0 2 5 6 】

E L 層 8 5 1 の上には E L 素子の陰極 8 5 2 が設けられる。陰極 8 5 2 としては、仕事関数の小さいマグネシウム (M g)、リチウム (L i) 若しくはカルシウム (C a) を含む材料を用いる。好ましくは M g A g (M g と A g を M g : A g = 1 0 : 1 で混合した材料) でなる電極を用いれば良い。他にも M g A g A l 電極、L i A l 電極、また、L i F A l 電極が挙げられる。

## 【 0 2 5 7 】

陰極 8 5 2 は E L 層 8 5 1 を形成した後、大気解放しないで連続的に形成する

ことが望ましい。陰極 8 5 2 と E L 層 8 5 1 との界面状態は E L 素子の発光効率に大きく影響するからである。なお、本明細書中では、画素電極（陽極）、E L 層及び陰極で形成される発光素子を E L 素子 8 2 0 6 と呼ぶ。

## 【 0 2 5 8 】

E L 層 8 5 1 と陰極 8 5 2 とでなる積層体は、各画素で個別に形成する必要があるが、E L 層 8 5 1 は水分に極めて弱いため、通常のリソグラフィ技術を用いることができない。従って、メタルマスク等の物理的なマスク材を用い、真空蒸着法、スパッタ法、プラズマ C V D 法等の気相法で選択的に形成することが好ましい。

## 【 0 2 5 9 】

なお、E L 層を選択的に形成する方法として、インクジェット法、スクリーン印刷法又はスピコート法等を用いることも可能であるが、これらは現状では陰極の連続形成ができないので、上述の方法の方が好ましいと言える。

## 【 0 2 6 0 】

また、8 5 3 は保護電極であり、陰極 8 5 2 を外部の水分等から保護すると同時に、各画素の陰極 8 5 2 を接続するための電極である。保護電極 8 5 3 としては、アルミニウム ( A l ) 、銅 ( C u ) 若しくは銀 ( A g ) を含む低抵抗な材料を用いることが好ましい。この保護電極 8 5 3 には E L 層の発熱を緩和する放熱効果も期待できる。また、上記 E L 層 8 5 1 、陰極 8 5 2 を形成した後、大気解放しないで連続的に保護電極 8 5 3 まで形成することも有効である。

## 【 0 2 6 1 】

また、8 5 4 は第 2 パッシベーション膜であり、膜厚は 1 0 n m ～ 1 μ m （好ましくは 2 0 0 ～ 5 0 0 n m ）とすれば良い。第 2 パッシベーション膜 8 5 4 を設ける目的は、E L 層 8 5 1 を水分から保護する目的が主であるが、放熱効果をもたせることも有効である。但し、上述のように E L 層は熱に弱いので、なるべく低温（好ましくは室温から 1 2 0 ℃までの温度範囲）で成膜するのが望ましい。従って、プラズマ C V D 法、スパッタ法、真空蒸着法、イオンプレーティング法又は溶液塗布法（スピコートティング法）が望ましい成膜方法と言える。

## 【 0 2 6 2 】

なお、図 1 3 に図示された T F T は全て、本発明で用いるポリシリコン膜を活性層として有していても良いことは言うまでもない。

【 0 2 6 3 】

本発明は、図 1 3 の E L ディスプレイの構造に限定されるものではなく、図 1 3 の構造は本発明を実施する上での好ましい形態の一つに過ぎない。

【 0 2 6 4 】

なお本実施例は、実施例 1 ～ 5 と組み合わせて実施することが可能である。

【 0 2 6 5 】

(実施例 8)

本実施例では、E L 素子が形成された基板を、E L 素子が大気に触れないように封止して、本発明の E L ディスプレイを作製する工程について説明する。なお、図 1 4 ( A ) は本発明の E L ディスプレイの上面図であり、図 1 4 ( B ) はその断面図である。

【 0 2 6 6 】

図 1 4 ( A ) 、 ( B ) において、4 0 0 1 は基板、4 0 0 2 は画素部、4 0 0 3 はソース信号線駆動回路、4 0 0 4 a は書き込み用ゲート信号線駆動回路、4 0 0 4 b は消去用ゲート信号線駆動回路であり、それぞれの駆動回路は配線 4 0 0 5 を経て F P C ( フレキシブルプリントサーキット ) 4 0 0 6 に至り、外部機器へと接続される。

【 0 2 6 7 】

このとき、画素部 4 0 0 2 、ソース信号線駆動回路 4 0 0 3 、書き込み用ゲート信号線駆動回路 4 0 0 4 a 及び消去用ゲート信号線駆動回路 4 0 0 4 b を囲むようにして第 1 シール材 4 1 0 1 、カバー材 4 1 0 2 、充填材 4 1 0 3 及び第 2 シール材 4 1 0 4 が設けられている。

【 0 2 6 8 】

図 1 4 ( B ) は図 1 4 ( A ) を A - A ' で切断した断面図に相当し、基板 4 0 0 1 の上にソース信号線駆動回路 4 0 0 3 に含まれる駆動 T F T ( 但し、ここでは n チャネル型 T F T と p チャネル型 T F T を図示している。 ) 4 2 0 1 及び画素部 4 0 0 2 に含まれる E L 駆動用 T F T ( E L 素子を流れる電流を制御する T

F T) 4 2 0 2 が形成されている。

【 0 2 6 9 】

本実施例では、駆動 T F T 4 2 0 1 には公知の方法で作製された p チャネル型 T F T または n チャネル型 T F T が用いられ、 E L 駆動用 T F T 4 2 0 2 には公知の方法で作製された p チャネル型 T F T が用いられる。また、画素部 4 0 0 2 には E L 駆動用 T F T 4 2 0 2 のゲートに接続されたコンデンサ（図示せず）が設けられる。

【 0 2 7 0 】

駆動 T F T 4 2 0 1 及び画素 T F T 4 2 0 2 の上には樹脂材料でなる層間絶縁膜（平坦化膜） 4 3 0 1 が形成され、その上に画素 T F T 4 2 0 2 のドレインと電氣的に接続する画素電極（陽極） 4 3 0 2 が形成される。画素電極 4 3 0 2 としては仕事関数の大きい透明導電膜が用いられる。透明導電膜としては、酸化インジウムと酸化スズとの化合物、酸化インジウムと酸化亜鉛との化合物、酸化亜鉛、酸化スズまたは酸化インジウムを用いることができる。また、前記透明導電膜にガリウムを添加したものをを用いても良い。

【 0 2 7 1 】

そして、画素電極 4 3 0 2 の上には絶縁膜 4 3 0 3 が形成され、絶縁膜 4 3 0 3 は画素電極 4 3 0 2 の上に開口部が形成されている。この開口部において、画素電極 4 3 0 2 の上には E L 層 4 3 0 4 が形成される。E L 層 4 3 0 4 は公知の有機 E L 材料または無機 E L 材料を用いることができる。また、有機 E L 材料には低分子系（モノマー系）材料と高分子系（ポリマー系）材料があるがどちらを用いても良い。

【 0 2 7 2 】

E L 層 4 3 0 4 の形成方法は公知の蒸着技術もしくは塗布法技術を用いれば良い。また、E L 層の構造は正孔注入層、正孔輸送層、発光層、電子輸送層または電子注入層を自由に組み合わせて積層構造または単層構造とすれば良い。

【 0 2 7 3 】

E L 層 4 3 0 4 の上には遮光性を有する導電膜（代表的にはアルミニウム、銅もしくは銀を主成分とする導電膜またはそれらと他の導電膜との積層膜）からな

る陰極 4 3 0 5 が形成される。また、陰極 4 3 0 5 と E L 層 4 3 0 4 の界面に存在する水分や酸素は極力排除しておくことが望ましい。従って、真空中で両者を連続成膜するか、E L 層 4 3 0 4 を窒素または希ガス雰囲気中で形成し、酸素や水分に触れさせないまま陰極 4 3 0 5 を形成するといった工夫が必要である。本実施例ではマルチチャンバー方式（クラスターツール方式）の成膜装置を用いることで上述のような成膜を可能とする。

## 【 0 2 7 4 】

そして陰極 4 3 0 5 は 4 3 0 6 で示される領域において配線 4 0 0 5 に電氣的に接続される。配線 4 0 0 5 は陰極 4 3 0 5 に所定の電圧を与えるための配線であり、異方導電性フィルム 4 3 0 7 を介して F P C 4 0 0 6 に電氣的に接続される。

## 【 0 2 7 5 】

以上のようにして、画素電極（陽極） 4 3 0 2、E L 層 4 3 0 4 及び陰極 4 3 0 5 からなる E L 素子が形成される。この E L 素子は、第 1 シール材 4 1 0 1 及び第 1 シール材 4 1 0 1 によって基板 4 0 0 1 に貼り合わされたカバー材 4 1 0 2 で囲まれ、充填材 4 1 0 3 により封入されている。

## 【 0 2 7 6 】

カバー材 4 1 0 2 としては、ガラス材、金属材（代表的にはステンレス材）、セラミックス材、プラスチック材（プラスチックフィルムも含む）を用いることができる。プラスチック材としては、FRP（F i b e r g l a s s - R e i n f o r c e d P l a s t i c s）板、PVF（ポリビニルフルオライド）フィルム、マイラーフィルム、ポリエステルフィルムまたはアクリル樹脂フィルムを用いることができる。また、アルミニウムホイルを PVF フィルムやマイラーフィルムで挟んだ構造のシートを用いることもできる。

## 【 0 2 7 7 】

但し、E L 素子からの光の放射方向がカバー材側に向かう場合にはカバー材は透明でなければならない。その場合には、ガラス板、プラスチック板、ポリエステルフィルムまたはアクリルフィルムのような透明物質を用いる。

## 【 0 2 7 8 】

また、充填材 4 1 0 3 としては紫外線硬化樹脂または熱硬化樹脂を用いることができ、PVC（ポリビニルクロライド）、アクリル、ポリイミド、エポキシ樹脂、シリコン樹脂、PVB（ポリビニルブチラル）またはEVA（エチレンビニルアセテート）を用いることができる。この充填材 4 1 0 3 の内部に吸湿性物質（好ましくは酸化バリウム）もしくは酸素を吸着しうる物質を設けておくとEL素子の劣化を抑制できる。

## 【0279】

また、充填材 4 1 0 3 の中にスペーサを含有させてもよい。このとき、スペーサを酸化バリウムで形成すればスペーサ自体に吸湿性をもたせることが可能である。また、スペーサを設けた場合、スペーサからの圧力を緩和するバッファ層として陰極 4 3 0 5 上に樹脂膜を設けることも有効である。

## 【0280】

また、配線 4 0 0 5 は異方導電性フィルム 4 3 0 7 を介してFPC 4 0 0 6 に電氣的に接続される。配線 4 0 0 5 は画素部 4 0 0 2、ソース信号線駆動回路 4 0 0 3、書き込み用ゲート信号線駆動回路 4 0 0 4 a 及び消去用ゲート信号線駆動回路 4 0 0 4 b に送られる信号をFPC 4 0 0 6 に伝え、FPC 4 0 0 6 により外部機器と電氣的に接続される。

## 【0281】

また、本実施例では第1シール材 4 1 0 1 の露呈部及びFPC 4 0 0 6 の一部を覆うように第2シール材 4 1 0 4 を設け、EL素子を徹底的に外気から遮断する構造となっている。こうして図 1 4 （B）の断面構造を有するELディスプレイとなる。

## 【0282】

なお本実施例は、実施例 1 ～ 7 と組み合わせて実施することが可能である。

## 【0283】

## （実施例 9）

本実施例では、図 3 とは異なる構造を有する画素の回路図について、図 1 5 （A）、（B）を用いて説明する。なお、本実施例において、4 8 0 1 はソース信号線、4 8 0 2 はスイッチング用TFT、4 8 0 3 は書き込み用ゲート信号線、

4 8 0 4 は E L 駆動用 T F T、4 8 0 5 はコンデンサ、4 8 0 6 は電源供給線、4 8 0 7 は消去用 T F T、4 8 0 8 は消去用ゲート信号線、4 8 0 9 は E L 素子である。

【 0 2 8 4 】

図 1 5 ( A ) は、二つの画素間で電源供給線 4 8 0 6 を共通とした場合の例である。即ち、二つの画素が電源供給線 4 8 0 6 を中心に線対称となるように形成されている点に特徴がある。この場合、電源供給線の本数を減らすことができるため、画素部をさらに高精細化することができる。

【 0 2 8 5 】

また、図 1 5 ( B ) は、書き込み用ゲート信号線 4 8 0 3 と平行に電源供給線 4 8 0 6 を設け、ソース信号線 4 8 0 1 と平行に消去用ゲート信号線 4 8 0 8 を設けた場合の例である。

【 0 2 8 6 】

電源供給線 4 8 0 6 と書き込み用ゲート信号線 4 8 0 3 とが異なる層に形成される配線であれば、絶縁膜を介して重なるように設けることもできる。この場合、電源供給線 4 8 0 6 と書き込み用ゲート信号線 4 8 0 3 とで専有面積を共有させることができるため、画素部をさらに高精細化することができる。

【 0 2 8 7 】

またさらに、電源供給線 4 8 0 6 と消去用ゲート信号線 4 8 0 3 とが異なる層に形成される配線であれば、絶縁膜を介して重なるように設けることもできる。この場合、電源供給線 4 8 0 6 と消去用ゲート信号線 4 8 0 8 とで専有面積を共有させることができるため、画素部をさらに高精細化することができる。

【 0 2 8 8 】

なお、本実施例の構成は、実施例 1 ～ 8 の構成と組み合わせて実施することが可能である。

【 0 2 8 9 】

( 実施例 1 0 )

本実施例では、図 9 で示したソース信号線駆動回路 1 0 2 の詳しい構成について説明する。



## 【 0 2 9 0 】

シフトレジスタ 8 0 1、ラッチ (A) (8 0 2)、ラッチ (B) (8 0 3)、  
 が図 1 6 に示すように配置されている。なお本実施例では、1 組のラッチ (A)  
 (8 0 2) と 1 組のラッチ (B) (8 0 3) が、4 本のソース信号線  $S_t \sim S(t+3)$  に対応している。また本実施例では信号が有する電圧の振幅の幅を変えるレベルシフトを設けなかったが、設計者が適宜設けるようにしても良い。

## 【 0 2 9 1 】

クロック信号 CLK、CLK の極性が反転したクロック信号 CLKB、スタートパルス信号 SP、駆動方向切り替え信号 SL/R はそれぞれ図に示した配線からシフトレジスタ 8 0 1 に入力される。また外部から入力されるデジタルビデオ信号 VD は図に示した配線からラッチ (A) (8 0 2) に入力される。ラッチ信号  $S\_LAT$ 、 $S\_LAT$  の極性が反転した信号  $S\_LATb$  はそれぞれ図に示した配線からラッチ (B) (8 0 3) に入力される。

## 【 0 2 9 2 】

ラッチ (A) (8 0 2) の詳しい構成について、ソース信号線  $S_t$  に対応するラッチ (A) (8 0 2) の一部 8 0 4 を例にとって説明する。ラッチ (A) (8 0 2) の一部 8 0 4 は 2 つのクロックドインバーターと 2 つのインバーターを有している。

## 【 0 2 9 3 】

ラッチ (A) (8 0 2) の一部 8 0 4 の上面図を図 1 7 に示す。8 3 1 a、8 3 1 b はそれぞれ、ラッチ (A) (8 0 2) の一部 8 0 4 が有するインバーターの 1 つを形成する TFT の活性層であり、8 3 6 は該インバーターの 1 つを形成する TFT の共通のゲート電極である。また 8 3 2 a、8 3 2 b はそれぞれ、ラッチ (A) (8 0 2) の一部 8 0 4 が有するもう 1 つのインバーターを形成する TFT の活性層であり、8 3 7 a、8 3 7 b は活性層 8 3 2 a、8 3 2 b 上にそれぞれ設けられたゲート電極である。なおゲート電極 8 3 7 a、8 3 7 b は電氣的に接続されている。

## 【 0 2 9 4 】

8 3 3 a、8 3 3 b はそれぞれ、ラッチ (A) (8 0 2) の一部 8 0 4 が有す

るクロックインバーターの1つを形成するTFTの活性層である。活性層833a上にはゲート電極838a、838bが設けられており、ダブルゲート構造となっている。また活性層833b上にはゲート電極838b、839が設けられており、ダブルゲート構造となっている。

## 【0295】

834a、834bはそれぞれ、ラッチ(A)(802)の一部804が有するもう1つのクロックインバーターを形成するTFTの活性層である。活性層834a上にはゲート電極839、840が設けられており、ダブルゲート構造となっている。また活性層834b上にはゲート電極840、841が設けられており、ダブルゲート構造となっている。

## 【0296】

## (実施例11)

本発明のELディスプレイにおいて、EL素子が有するEL層に用いられる材料は、有機EL材料に限定されず、無機EL材料を用いても実施できる。但し、現在の無機EL材料は非常に駆動電圧が高いため、そのような駆動電圧に耐える耐圧特性を有するTFTを用いなければならない。

## 【0297】

または、将来的にさらに駆動電圧の低い無機EL材料が開発されれば、本発明に適用することは可能である。

## 【0298】

また、本実施例の構成は、実施例1～10と組み合わせて実施することが可能である。

## 【0299】

## (実施例12)

本発明において、EL層として用いる有機物質は低分子系有機物質であってもポリマー系(高分子系)有機物質であっても良い。低分子系有機物質はAlq<sub>3</sub>(トリス-8-キノリライト-アルミニウム)、TPD(トリフェニルアミン誘導体)等を中心とした材料が知られている。ポリマー系有機物質として、 $\pi$ 共役ポリマー系の物質が挙げられる。代表的には、PPV(ポリフェニレンビニレン

）、P V K（ポリビニルカルバゾール）、ポリカーボネート等が挙げられる。

【0300】

ポリマー系（高分子系）有機物質は、スピンコーティング法（溶液塗布法ともいう）、ディッピング法、ディスペンス法、印刷法またはインクジェット法など簡易な薄膜形成方法で形成でき、低分子系有機物質に比べて耐熱性が高い。

【0301】

また本発明のE Lディスプレイが有するE L素子において、そのE L素子が有するE L層が、電子輸送層と正孔輸送層とを有している場合、電子輸送層と正孔輸送層とを無機材料、例えば非晶質のS iまたは非晶質の $S i_{1-x}C_x$ 等の非晶質半導体で構成しても良い。

【0302】

非晶質半導体には多量のトラップ準位が存在し、かつ非晶質半導体が他の層と接する界面において多量の界面準位を形成する。そのため、E L素子は低い電圧で発光させることができるとともに、高輝度化を図ることもできる。

【0303】

また有機E L層にドーパント（不純物）を添加し、有機E L層の発光の色を変化させても良い。ドーパントとして、DCM1、ナイルレッド、ルブレン、クマリン6、TPB、キナクリドン等が挙げられる。

【0304】

なお本実施例は、実施例1～11と組み合わせて実施することが可能である。

【0305】

（実施例13）

本実施例では、本発明のE Lディスプレイの駆動方法を用いた場合、どのような電圧電流特性を有する領域でE L駆動用T F T（第1のE L駆動用T F T及び第2のE L駆動用T F T）を駆動させるのが好ましいか、図18～20を用いて説明する。

【0306】

E L素子は、印加される電圧が少しでも変化すると、それに対してE L素子を流れる電流が指数関数的に大きく変化する。別の見方をすると、E L素子を流れ

る電流の大きさが変化しても、E L 素子に印加される電圧値はあまり変化しない。そして、E L 素子の輝度は、E L 素子に流れる電流にほぼ正比例して大きくなる。よって、E L 素子に印加される電圧の大きさ（電圧値）を制御することにより E L 素子の輝度を制御するよりも、E L 素子に流れる電流の大きさ（電流量）を制御することにより E L 素子の輝度を制御する方が、T F T の特性に左右されずらく、E L 素子の輝度の制御が容易である。

## 【 0 3 0 7 】

図 1 8 を参照する。図 1 8 (A) は、図 3 に示した本発明の E L ディスプレイの画素において、E L 駆動用 T F T 1 0 8 および E L 素子 1 1 0 の構成部分のみを図示したものである。なお、図 1 8 では説明を簡略にするため図示していないが、E L 駆動用 T F T 1 0 8 は第 1 の E L 駆動用 T F T と第 2 の E L 駆動用 T F T が並列に接続されたものである。

## 【 0 3 0 8 】

図 1 8 (B) には、図 1 8 (A) で示した E L 駆動用 T F T 1 0 8 および E L 素子 1 1 0 の電圧電流特性を示す。なお図 1 8 で示す E L 駆動用 T F T 1 0 8 の電圧電流特性のグラフは、ソース領域とドレイン領域の間の電圧である  $V_{DS}$  に対する、E L 駆動用 T F T 1 0 8 のドレイン領域に流れる電流の大きさを示しており、図 1 8 には E L 駆動用 T F T 1 0 8 のソース領域とゲート電極の間の電圧である  $V_{GS}$  の値の異なる複数のグラフを示している。

## 【 0 3 0 9 】

図 1 8 (A) に示したように、E L 素子 1 1 0 の画素電極と対向電極 1 1 1 の間にかかる電圧を  $V_{EL}$ 、電源供給線に接続される端子 3 6 0 1 と E L 素子 1 1 0 の対向電極 1 1 1 の間にかかる電圧を  $V_T$  とする。なお  $V_T$  は電源供給線の電位によってその値が固定される。また E L 駆動用 T F T 1 0 8 のソース領域・ドレイン領域間の電圧を  $V_{DS}$ 、E L 駆動用 T F T 1 0 8 のゲート電極に接続される配線 3 6 0 2 とソース領域との間の電圧、つまり E L 駆動用 T F T 1 0 8 のゲート電極とソース領域の間の電圧を  $V_{GS}$  とする。

## 【 0 3 1 0 】

E L 駆動用 T F T 1 0 8 は n チャネル型 T F T でも p チャネル型 T F T でもど

ちらでも良い。ただし、第1のEL駆動用TFTと第2のEL駆動用TFTは、同じ極性を有している必要がある。

#### 【0311】

また、EL駆動用TFT108とEL素子110とは直列に接続されている。よって、両素子（EL駆動用TFT108とEL素子110）を流れる電流量は同じである。従って、図18（A）に示したEL駆動用TFT108とEL素子110とは、両素子の電圧電流特性を示すグラフの交点（動作点）において駆動する。図18（B）において、 $V_{EL}$ は、対向電極111の電位と動作点での電位との間の電圧になる。 $V_{DS}$ は、EL駆動用TFT108の端子3601での電位と動作点での電位との間の電圧になる。つまり、 $V_T$ は、 $V_{EL}$ と $V_{DS}$ の和に等しい。

#### 【0312】

ここで、 $V_{GS}$ を変化させた場合について考える。図18（B）から分かるように、EL駆動用TFT108の $|V_{GS} - V_{TH}|$ が大きくなるにつれて、言い換えると $|V_{GS}|$ が大きくなるにつれて、EL駆動用TFT108に流れる電流量が大きくなる。なお、 $V_{TH}$ はEL駆動用TFT108のしきい値電圧である。よって図18（B）から分かるように、 $|V_{GS}|$ が大きくなると、動作点においてEL素子110を流れる電流量も当然大きくなる。EL素子110の輝度は、EL素子110を流れる電流量に比例して高くなる。

#### 【0313】

$|V_{GS}|$ が大きくなることによってEL素子110を流れる電流量が大きくなると、電流量に応じて $V_{EL}$ の値も大きくなる。そして $V_T$ の大きさは電源供給線の電位によって定まっているので、 $V_{EL}$ が大きくなると、その分 $V_{DS}$ が小さくなる。

#### 【0314】

また図18（B）に示したように、EL駆動用TFTの電圧電流特性は、 $V_{GS}$ と $V_{DS}$ の値によって2つの領域に分けられる。 $|V_{GS} - V_{TH}| < |V_{DS}|$ である領域が飽和領域、 $|V_{GS} - V_{TH}| > |V_{DS}|$ である領域が線形領域である。

#### 【0315】

飽和領域においては以下の式 1 が成り立つ。なお  $I_{DS}$  は E L 駆動用 T F T 1 0 8 のチャネル形成領域を流れる電流量である。また  $\beta = \mu C_0 W / L$  であり、 $\mu$  は E L 駆動用 T F T 1 0 8 の移動度、 $C_0$  は単位面積あたりのゲート容量、 $W / L$  はチャネル形成領域のチャネル幅  $W$  とチャネル長  $L$  の比である。

【 0 3 1 6 】

【式 1】

$$I_{DS} = \beta (V_{GS} - V_{TH})^2 / 2$$

【 0 3 1 7 】

また線形領域においては以下の式 2 が成り立つ。

【 0 3 1 8 】

【式 2】

$$I_{DS} = \beta \{ (V_{GS} - V_{TH}) V_{DS} - V_{DS}^2 / 2 \}$$

【 0 3 1 9 】

式 1 からわかるように、飽和領域において電流量は  $V_{DS}$  によってほとんど変化せず、 $V_{GS}$  のみによって電流量が定まる。

【 0 3 2 0 】

一方、式 2 からわかるように、線形領域は、 $V_{DS}$  と  $V_{GS}$  とにより電流量が定まる。 $|V_{GS}|$  を大きくしていくと、E L 駆動用 T F T 1 0 8 は線形領域で動作するようになる。そして、 $V_{EL}$  も徐々に大きくなっていく。よって、 $V_{EL}$  が大きくなった分だけ、 $V_{DS}$  が小さくなっていく。線形領域では、 $V_{DS}$  が小さくなると電流量も小さくなる。そのため、 $|V_{GS}|$  を大きくしていても、電流量は増加しにくくなってくる。 $|V_{GS}| = \infty$  になった時、電流量 =  $I_{MAX}$  となる。つまり、 $|V_{GS}|$  をいくら大きくしても、 $I_{MAX}$  以上の電流は流れない。ここで、 $I_{MAX}$  は、 $V_{EL} = V_T$  の時に、E L 素子 1 1 0 を流れる電流量である。

【 0 3 2 1 】

このように  $|V_{GS}|$  の大きさを制御することによって、動作点を飽和領域にしたり、線形領域にしたりすることができる。

【 0 3 2 2 】

ところで、全ての E L 駆動用 T F T の特性は理想的には全て同じであることが

望ましいが、実際には個々のEL駆動用TFTでしきい値 $V_{TH}$ と移動度 $\mu$ とが異なっていることが多い。そして個々のEL駆動用TFTのしきい値 $V_{TH}$ と移動度 $\mu$ とが互いに異なると、式1及び式2からわかるように、 $V_{GS}$ の値が同じでもEL駆動用TFT108のチャネル形成領域を流れる電流量が異なってしまう。

## 【0323】

図19にしきい値 $V_{TH}$ と移動度 $\mu$ とがずれたEL駆動用TFTの電流電圧特性を示す。実線3701が理想の電流電圧特性のグラフであり、3702、3703がそれぞれしきい値 $V_{TH}$ と移動度 $\mu$ とが理想とする値と異なってしまった場合のEL駆動用TFTの電流電圧特性である。電流電圧特性のグラフ3702、3703は飽和領域においては同じ電流量 $\Delta I_1$ だけ、理想の特性を有する電流電圧特性のグラフ3701からずれていて、電流電圧特性のグラフ3702の動作点3705は飽和領域にあり、電流電圧特性のグラフ3703の動作点3706は線形領域にあったとする。その場合、理想の特性を有する電流電圧特性のグラフ3701の動作点3704における電流量と、動作点3705及び動作点3706における電流量のずれをそれぞれ $\Delta I_2$ 、 $\Delta I_3$ とすると、飽和領域における動作点3705よりも線形領域における動作点3706の方が小さい。

## 【0324】

よって本発明で示したデジタル方式の駆動方法を用いる場合、動作点が線形領域に存在するようにEL駆動用TFTとEL素子を駆動させることで、EL駆動用TFTの特性のずれによるEL素子の輝度むらを抑えた階調表示を行うことができる。

## 【0325】

また従来のアナログ駆動の場合は、 $|V_{GS}|$ のみによって電流量を制御することが可能な飽和領域に動作点が存在するようにEL駆動用TFTとEL素子を駆動させる方が好ましい。

## 【0326】

以上の動作分析のまとめとして、EL駆動用TFTのゲート電圧 $|V_{GS}|$ に対する電流量のグラフを図20に示す。 $|V_{GS}|$ を大きくしていき、EL駆動用TFTのしきい値電圧の絶対値 $|V_{TH}|$ よりも大きくなると、EL駆動用TFTが

導通状態となり、電流が流れ始める。本明細書ではこの時の  $|V_{GS}|$  を点灯開始電圧と呼ぶことにする。そして、さらに  $|V_{GS}|$  を大きくしていくと、 $|V_{GS}|$  が  $|V_{GS} - V_{TH}| = |V_{DS}|$  を満たすような値（ここでは仮に  $A$  とする）となり、飽和領域 3 8 0 1 から線形領域 3 8 0 2 になる。さらに  $|V_{GS}|$  を大きくしていくと、電流量が大きくなり、遂には、電流量が飽和してくる。その時  $|V_{GS}| = \infty$  となる。

【0 3 2 7】

図 2 0 から分かる通り、 $|V_{GS}| \leq |V_{TH}|$  の領域では、電流がほとんど流れない。 $|V_{TH}| \leq |V_{GS}| \leq A$  の領域は飽和領域であり、 $|V_{GS}|$  によって電流量が変化する。そして、 $A \leq |V_{GS}|$  の領域は線形領域であり、EL 素子に流れる電流量は  $|V_{GS}|$  及び  $|V_{DS}|$  によって電流量が変化する。

【0 3 2 8】

本発明のデジタル駆動では、 $|V_{GS}| \leq |V_{TH}|$  の領域及び  $A \leq |V_{GS}|$  の線形領域を用いることが好ましい。

【0 3 2 9】

なお本実施例は、実施例 1 ～ 1 2 と組み合わせて実施することが可能である。

【0 3 3 0】

(実施例 1 4)

本実施例では、本発明の EL ディスプレイと電源との接続構成が図 1 4 (A) とは異なる例について説明する。

【0 3 3 1】

図 2 1 に本発明の EL ディスプレイの上面図を示す。図 2 1 において、5 0 0 2 は画素部、5 0 0 3 はソース信号線駆動回路、5 0 0 4 a は書き込み用ゲート信号線駆動回路、5 0 0 4 b は消去用ゲート信号線駆動回路であり、それぞれの駆動回路は配線 5 0 0 5 を経て FPC (フレキシブルプリントサーキット) 5 0 0 6 に至り、外部機器へと接続される。

【0 3 3 2】

このとき、画素部 5 0 0 2、ソース信号線駆動回路 5 0 0 3、書き込み用ゲート信号線駆動回路 5 0 0 4 a 及び消去用ゲート信号線駆動回路 5 0 0 4 b を囲む



ようにして第 1 シール材 5 1 0 1、カバー材 5 1 0 2、充填材（図示せず）及び第 2 シール材 5 1 0 4 が設けられている。

【 0 3 3 3 】

そして画素部 4 0 0 2 が有する電源供給線（図示せず）は、画素電極配線 5 2 0 1 に接続されて外部機器へと接続される。また画素部 4 0 0 2 が有する全ての E L 素子の対向電極（図示せず）は、対向電極配線 5 2 0 2 に接続されて外部機器へと接続される。

【 0 3 3 4 】

画素電極配線 5 2 0 1 と対向電極配線 5 2 0 2 は、導電性を有する材料であれば、公知の材料を用いることが可能である。本実施例では銅を用いた。

【 0 3 3 5 】

画素電極配線 5 2 0 1 と対向電極配線 5 2 0 2 の線幅は、F P C 5 0 0 6 のピン幅に比べて、ある程度自由に設定することが可能である。よって、画素電極配線 5 2 0 1 と対向電極配線 5 2 0 2 は、F P C 5 0 0 6 に比べて配線抵抗を抑えることが可能であり、上記構成によって、E L 素子の対向電極または電源供給線と、外部機器との間の配線抵抗を抑えることができる。

【 0 3 3 6 】

そして F P C 5 0 0 6 のピン数を削減することができ、E L ディスプレイ自体の機械的強度が増す。

【 0 3 3 7 】

なお本実施例は、実施例 1 ～ 1 3 と組み合わせて実施することが可能である。

【 0 3 3 8 】

（実施例 1 5）

本実施例では、本発明を実施する上で有効な画素部の駆動方法について、図 2 2 を用いて説明する。

【 0 3 3 9 】

図 2 2 （A）に示した本実施例の E L ディスプレイは、画素部が 2 つに分割されており、画素部 A 6 5 0 1 と画素部 B 6 5 0 2 とを有している。そしてソース信号線駆動回路 A 6 5 0 3、書き込み用ゲート信号線駆動回路 A 6 5 0 4 及び消

去用ゲート信号線駆動回路 A 6 5 0 5 が駆動することによって、画素部 A 6 5 0 1 に画像の半分が表示される。またソース信号線駆動回路 B 6 5 0 6、書き込み用ゲート信号線駆動回路 B 6 5 0 7 及び消去用ゲート信号線駆動回路 B 6 5 0 8 が駆動することによって、画素部 B 6 5 0 2 に画像の半分が表示される。

## 【 0 3 4 0 】

そして画素部 A 6 5 0 1 に表示された半分の画像と、画素部 B 6 5 0 2 に表示された半分の画像とを合わせて、1つの画像が形成される。

## 【 0 3 4 1 】

図 2 2 ( B ) に示した E L ディスプレイは、ソース信号線駆動回路 A 6 5 1 3 から奇数番目のソース信号線にデジタルビデオ信号が入力される。そしてソース信号線駆動回路 B 6 5 1 4 とによってから偶数番目のソース信号線にデジタルビデオ信号が入力される。

## 【 0 3 4 2 】

また書き込み用ゲート信号線駆動回路 6 5 1 5 は同時に 2 本の書き込み用ゲート信号線駆動回路を選択することで、奇数番目と偶数番目のソース信号線に同時に入力されたデジタルビデオ信号を画素に入力する。具体的には画素の有するスイッチング用 T F T を介して E L 駆動用 T F T のゲート電極にデジタルビデオ信号を入力する。

## 【 0 3 4 3 】

消去用ゲート信号線駆動回路 A 6 5 1 6 は同時に 2 本の消去用ゲート信号線駆動回路を選択することで、電源供給線の電源電位を画素に入力する。具体的には画素の有する消去用 T F T を介して E L 駆動用 T F T のゲート電極に電源電位を与える。

## 【 0 3 4 4 】

上記構成によって画素部 6 5 1 1 に画像が形成される。

## 【 0 3 4 5 】

なお本実施例は、実施例 1 ～ 1 4 と組み合わせて実施することが可能である。

## 【 0 3 4 6 】

(実施例 1 6)

本発明において、三重項励起子からの燐光を発光に利用できる E L 材料を用いることで、外部発光量子効率を飛躍的に向上させることができる。これにより、E L 素子の低消費電力化、長寿命化、および軽量化が可能になる。

【 0 3 4 7 】

ここで、三重項励起子を利用し、外部発光量子効率を向上させた報告を示す。

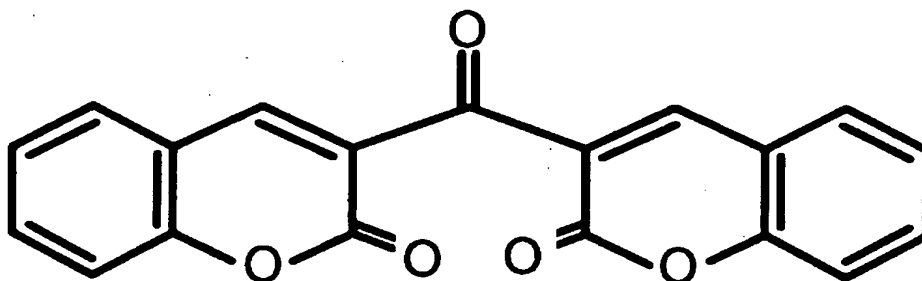
(T.Tsutsui, C.Adachi, S.Saito, Photochemical Processes in Organized Molecular Systems, ed.K.Honda, (Elsevier Sci.Pub., Tokyo,1991) p.437.)

【 0 3 4 8 】

上記の論文により報告された E L 材料 (クマリン色素) の分子式を以下に示す。

【 0 3 4 9 】

【化 1】



【 0 3 5 0 】

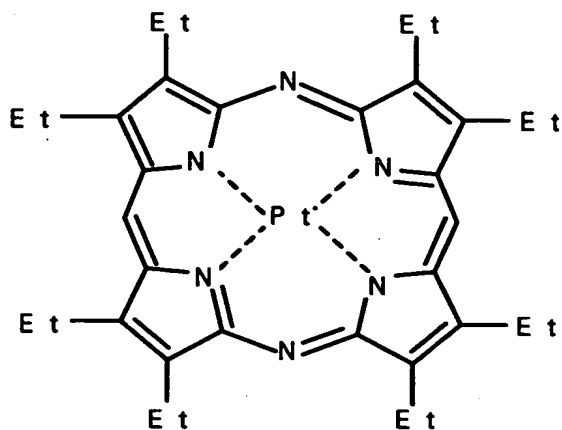
(M.A.Baldo, D.F.O'Brien, Y.You, A.Shoustikov, S.Sibley, M.E.Thompson, S.R.Forrest, Nature 395 (1998) p.151.)

【 0 3 5 1 】

上記の論文により報告された E L 材料 (Pt 錯体) の分子式を以下に示す。

【 0 3 5 2 】

【化 2】



【0353】

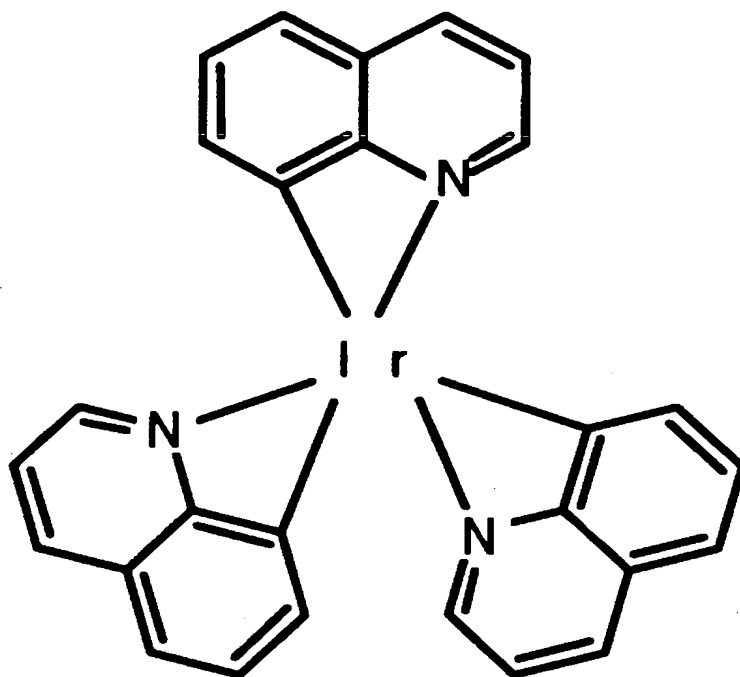
(M.A.Baldo, S.Lamansky, P.E.Burrows, M.E.Thompson, S.R.Forrest, Appl. Phys.Lett., 75 (1999) p.4.) (T.Tsutsui, M.-J.Yang, M.Yahiro, K.Nakamura, T.Watanabe, T.tsuji, Y.Fukuda, T.Wakimoto, S.Mayaguchi, Jpn.Appl.Phys., 38 (12B) (1999) L1502.)

【0354】

上記の論文により報告された EL 材料 (Ir 錯体) の分子式を以下に示す。

【0355】

【化 3】



【0 3 5 6】

以上のように三重項励起子からの燐光発光を利用できれば原理的には一重項励起子からの蛍光発光を用いる場合より 3 ～ 4 倍の高い外部発光量子効率の実現が可能となる。

【0 3 5 7】

なお本実施例は、実施例 1 ～ 1 5 と組み合わせて実施することが可能である。

【0 3 5 8】

(実施例 1 7)

本発明を実施して形成された E L ディスプレイは、自発光型であるため液晶表示装置に比べて明るい場所での視認性に優れ、しかも視野角が広い。従って、様々な電子機器（電気光学装置）の表示部に用いることができる。例えば、T V 放送等を大画面で鑑賞するには対角 3 0 インチ以上（典型的には 4 0 インチ以上）のディスプレイの表示部として本発明の E L ディスプレイを用いるとよい。

【0 3 5 9】

なお、E Lディスプレイには、パソコン用ディスプレイ、T V放送受信用ディスプレイ、広告表示用ディスプレイ等の全ての情報表示用ディスプレイが含まれる。また、その他にも様々な電子機器の表示部として本発明のE Lディスプレイを用いることができる。

## 【0360】

その様な本発明の電子機器としては、ビデオカメラ、デジタルカメラ、ゴーグル型ディスプレイ（ヘッドマウントディスプレイ）、ナビゲーションシステム、音響再生装置（カーオーディオ、オーディオコンボ等）、ノート型パーソナルコンピュータ、ゲーム機器、携帯情報端末（モバイルコンピュータ、携帯電話、携帯型ゲーム機または電子書籍等）、記録媒体を備えた画像再生装置（具体的にはデジタルビデオディスク（DVD）等の記録媒体を再生し、その画像を表示するディスプレイを備えた装置）などが挙げられる。特に、斜め方向から見ることの多い携帯情報端末は視野角の広さが重要視されるため、E Lディスプレイを用いることが望ましい。それら電子機器の具体例を図23、図24に示す。

## 【0361】

図23（A）はディスプレイであり、筐体2001、支持台2002、表示部2003等を含む。本発明のE Lディスプレイは表示部2003に用いることができる。E Lディスプレイは自発光型であるためバックライトが必要なく、液晶ディスプレイよりも薄い表示部とすることができる。

## 【0362】

図23（B）はビデオカメラであり、本体2101、表示部2102、音声入力部2103、操作スイッチ2104、バッテリー2105、受像部2106等を含む。本発明のE Lディスプレイは表示部2102に用いることができる。

## 【0363】

図23（C）は頭部取り付け型の電気光学装置の一部（右片側）であり、本体2201、信号ケーブル2202、頭部固定バンド2203、スクリーン部2204、光学系2205、表示部2206等を含む。本発明のE Lディスプレイは表示部2206に用いることができる。

## 【0364】

図 2 3 (D) は記録媒体を備えた画像再生装置（具体的には DVD 再生装置）であり、本体 2 3 0 1、記録媒体（DVD 等）2 3 0 2、操作スイッチ 2 3 0 3、表示部（a）2 3 0 4、表示部（b）2 3 0 5 等を含む。表示部（a）2 3 0 4 は主として画像情報を表示し、表示部（b）2 3 0 5 は主として文字情報を表示するが、本発明の EL ディスプレイはこれら表示部（a）、（b）2 3 0 4、2 3 0 5 に用いることができる。なお、記録媒体を備えた画像再生装置には家庭用ゲーム機器なども含まれる。

## 【 0 3 6 5 】

図 2 3 (E) はゴーグル型ディスプレイ（ヘッドマウントディスプレイ）であり、本体 2 4 0 1、表示部 2 4 0 2、アーム部 2 4 0 3 を含む。本発明の EL ディスプレイは表示部 2 4 0 2 に用いることができる。

## 【 0 3 6 6 】

図 2 3 (F) はパーソナルコンピュータであり、本体 2 5 0 1、筐体 2 5 0 2、表示部 2 5 0 3、キーボード 2 5 0 4 等を含む。本発明の EL ディスプレイは表示部 2 5 0 3 に用いることができる。

## 【 0 3 6 7 】

なお、将来的に EL 材料の発光輝度が高くなれば、出力した画像情報を含む光をレンズ等で拡大投影してフロント型若しくはリア型のプロジェクターに用いることも可能となる。

## 【 0 3 6 8 】

また、上記電子機器はインターネットや CATV（ケーブルテレビ）などの電子通信回線を通じて配信された情報を表示することが多くなり、特に動画情報を表示する機会が増してきている。EL 材料の応答速度は非常に高いため、EL ディスプレイは動画表示に好ましい。

## 【 0 3 6 9 】

また、EL ディスプレイは発光している部分が電力を消費するため、発光部分が極力少なくなるように情報を表示することが望ましい。従って、携帯情報端末、特に携帯電話や音響再生装置のような文字情報を主とする表示部に EL ディスプレイを用いる場合には、非発光部分を背景として文字情報を発光部分で形成す

るように駆動することが望ましい。

【0370】

ここで図24(A)は携帯電話であり、本体2601、音声出力部2602、音声入力部2603、表示部2604、操作スイッチ2605、アンテナ2606を含む。本発明のELディスプレイは表示部2604に用いることができる。なお、表示部2604は黒色の背景に白色の文字を表示することで携帯電話の消費電力を抑えることができる。

【0371】

また、図24(B)は音響再生装置、具体的にはカーオーディオであり、本体2701、表示部2702、操作スイッチ2703、2704を含む。本発明のELディスプレイは表示部2702に用いることができる。また、本実施例では車載用オーディオを示すが、携帯型や家庭用の音響再生装置に用いても良い。なお、表示部2702は黒色の背景に白色の文字を表示することで消費電力を抑えられる。これは携帯型の音響再生装置において特に有効である。

【0372】

以上の様に、本発明の適用範囲は極めて広く、あらゆる分野の電子機器に適用することが可能である。また、本実施例は、実施例1～16と組み合わせて実施することが可能である。

【0373】

【発明の効果】

本発明は上記構成によって、TFTによって $I_{DS}-V_{GS}$ 特性に多少のばらつきがあっても、等しいゲート電圧がかかったときに出力される電流量のばらつきを抑えることができる。よって $I_{DS}-V_{GS}$ 特性のバラツキによって、同じ電圧の信号を入力してもEL素子の発光量が隣接画素で大きく異なってしまうという事態を避けることが可能になる。

【0374】

また、本発明では、表示を行わない非発光期間を設けることができる。従来のアナログ駆動の場合、ELディスプレイに全白の画像を表示させると、常にEL素子が発光することになり、EL層の劣化を早める原因となってしまう。本発明



は非発光期間を設けることができるので、E L 層の劣化をある程度抑えることができる。

【図面の簡単な説明】

- 【図 1】 本発明の E L ディスプレイの回路構成を示すブロック図。
- 【図 2】 本発明の E L ディスプレイの画素部の回路図。
- 【図 3】 本発明の E L ディスプレイの画素の回路図。
- 【図 4】 本発明の E L ディスプレイの駆動方法を示す図。
- 【図 5】 本発明の E L ディスプレイの駆動方法を示す図。
- 【図 6】 本発明の E L ディスプレイの駆動方法を示す図。
- 【図 7】 本発明の E L ディスプレイの駆動方法を示す図。
- 【図 8】 本発明の E L ディスプレイの画素上面図。
- 【図 9】 本発明の E L ディスプレイの駆動回路の構成を示すブロック図。
- 【図 1 0】 本発明の E L ディスプレイの作製行程を示す図。
- 【図 1 1】 本発明の E L ディスプレイの作製行程を示す図。
- 【図 1 2】 本発明の E L ディスプレイの作製行程を示す図。
- 【図 1 3】 本発明の E L ディスプレイの断面詳細図。
- 【図 1 4】 本発明の E L ディスプレイの上面図及び断面図。
- 【図 1 5】 本発明の E L ディスプレイの画素回路図。
- 【図 1 6】 本発明の E L ディスプレイのソース信号線駆動回路の回路図。
- 【図 1 7】 本発明の E L ディスプレイのソース信号線駆動回路のラッチ上面図。
- 【図 1 8】 E L 素子と E L 駆動用 T F T の接続の構成を示す図と、E L 素子と E L 駆動用 T F T の電圧電流特性を示す図。
- 【図 1 9】 E L 素子と E L 駆動用 T F T の電圧電流特性を示す図。
- 【図 2 0】 E L 駆動用 T F T のゲート電圧とドレイン電流の関係を示す図。
- 【図 2 1】 本発明の E L ディスプレイの上面図。
- 【図 2 2】 本発明の E L ディスプレイの回路構成を示すブロック図。
- 【図 2 3】 本発明の E L ディスプレイを用いた電子機器。
- 【図 2 4】 本発明の E L ディスプレイを用いた電子機器。

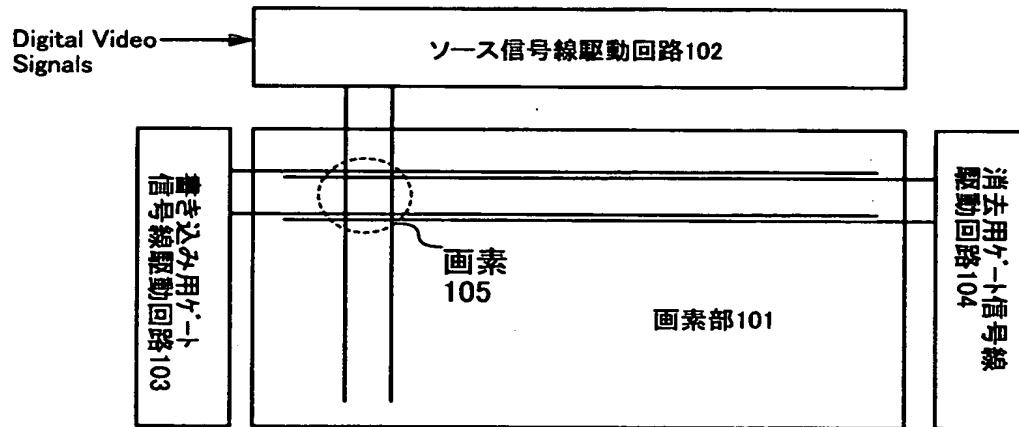
【図 2 5】 従来の E L ディスプレイの画素部の回路図。

【図 2 6】 従来の E L ディスプレイの駆動方法を示すタイミングチャート。

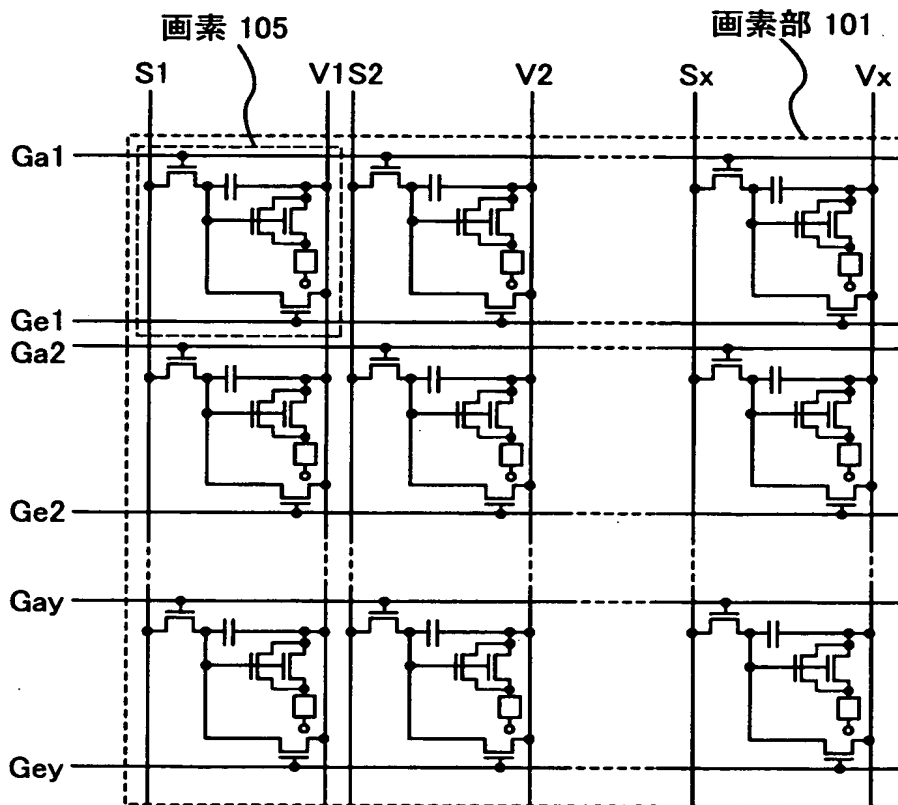
【図 2 7】 T F T の  $I_{DS} - V_{GS}$  特性を示す図。

【書類名】 図面

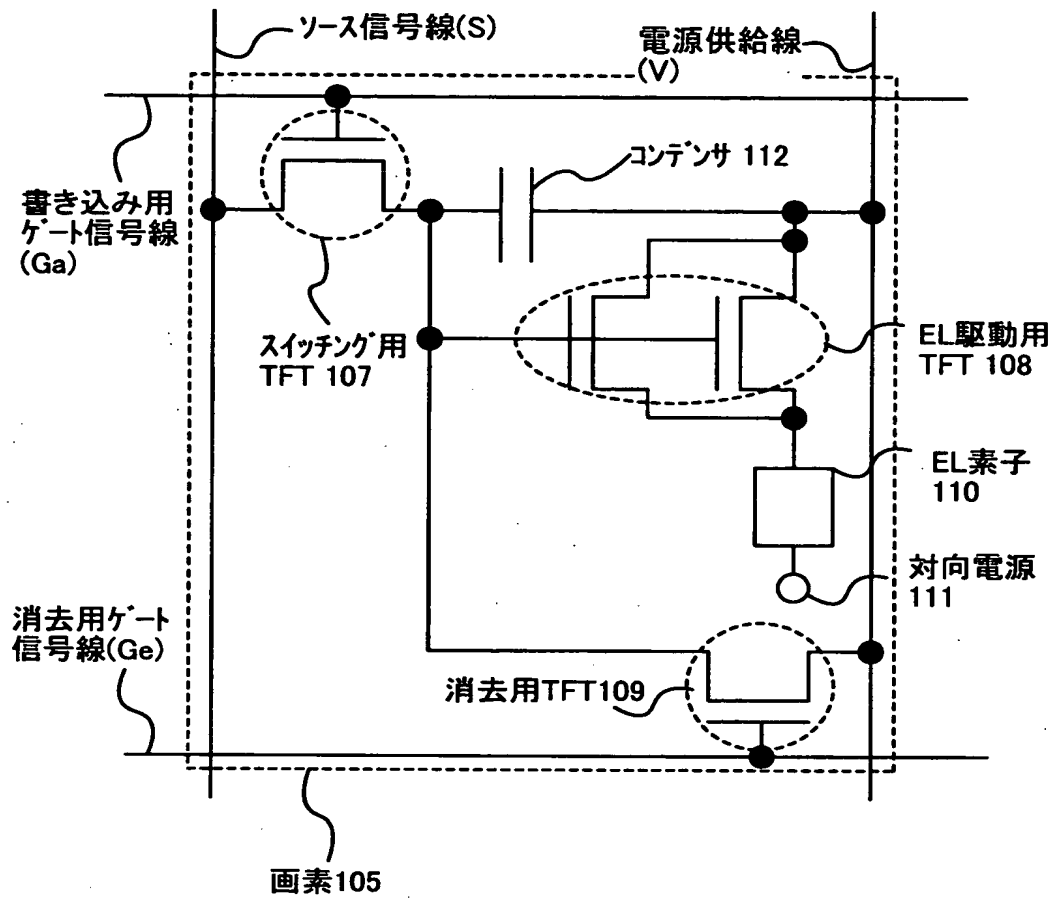
【図 1】



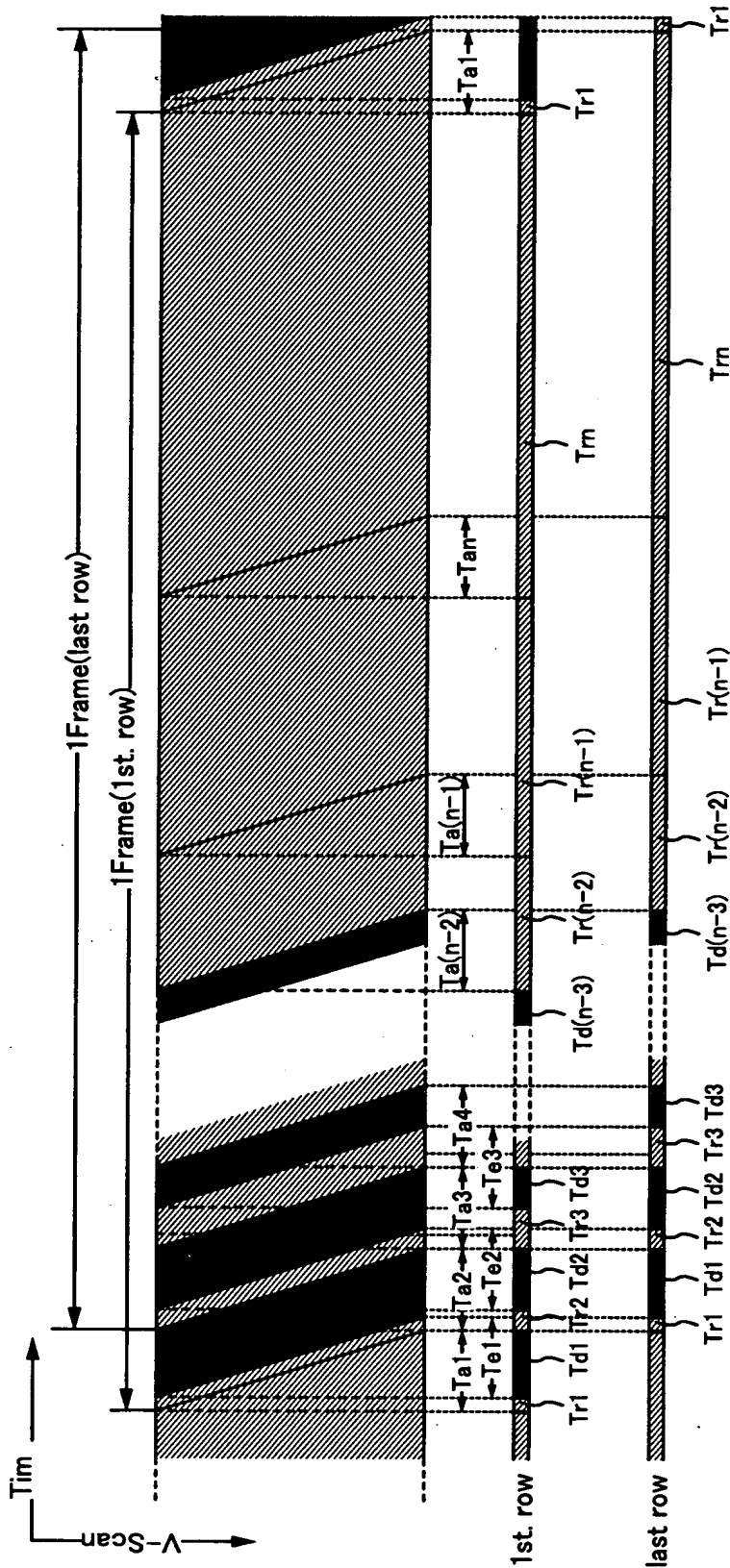
【図 2】



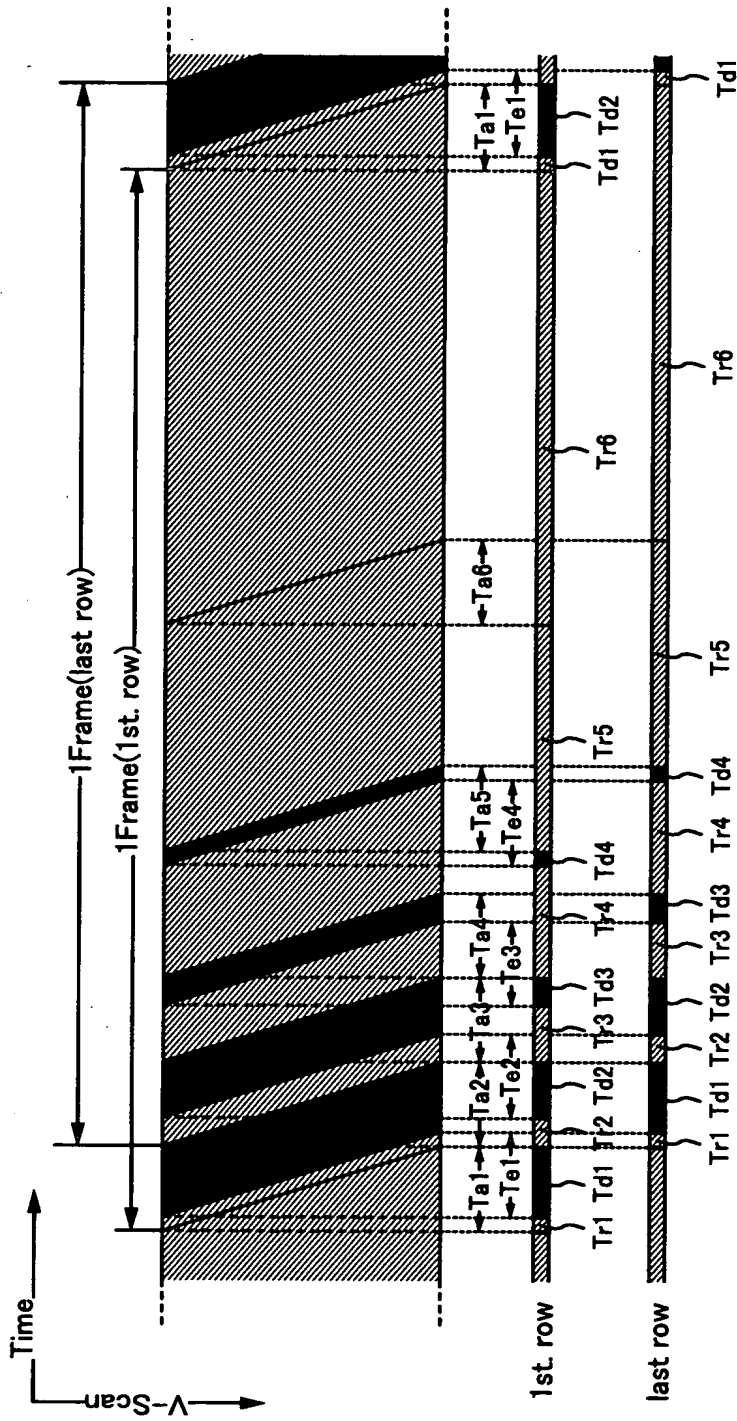
【図 3】



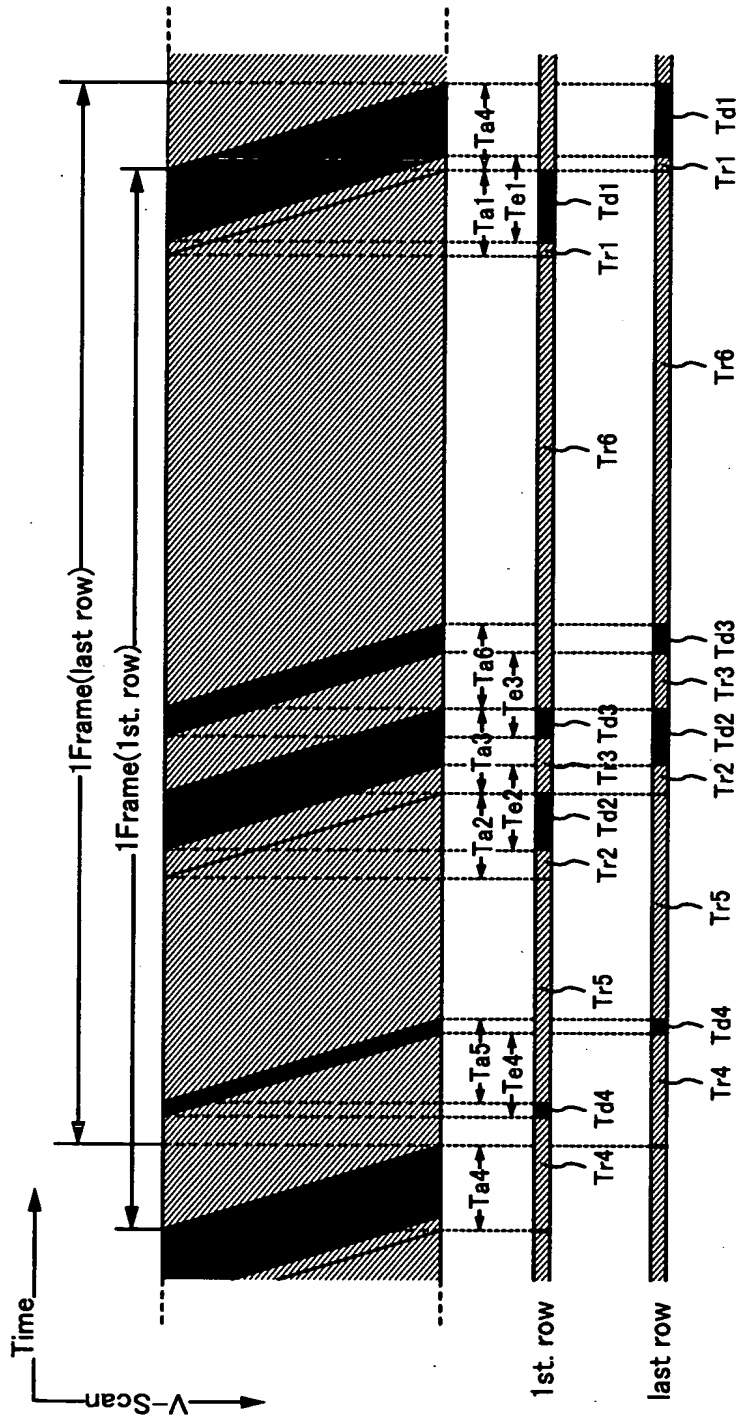
【図 4】



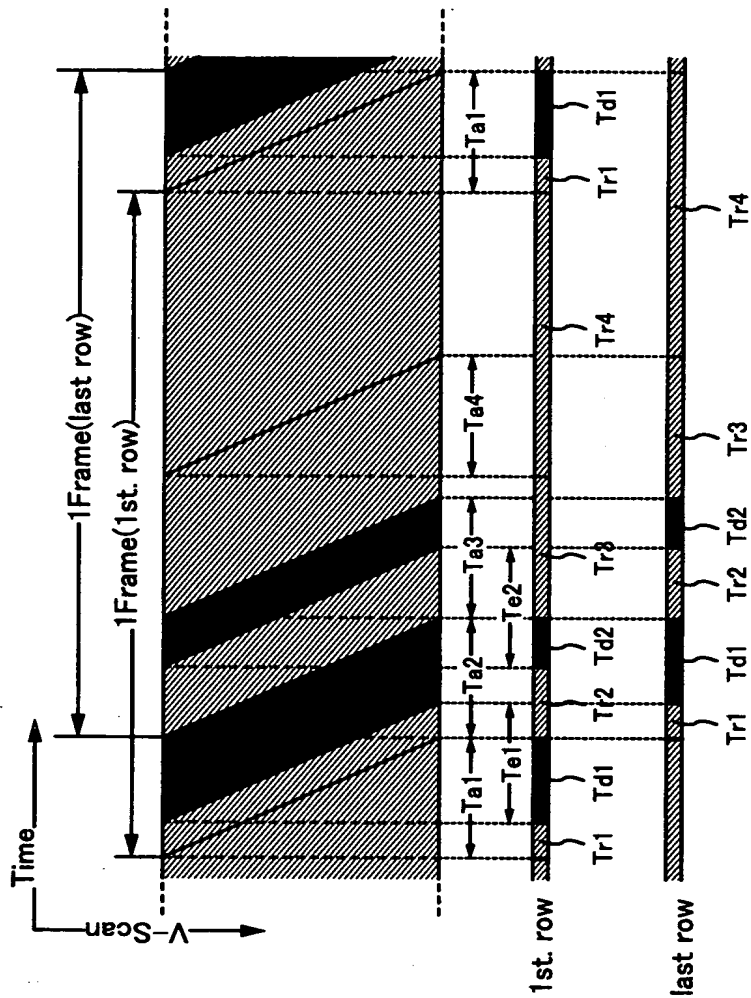
【図 5】



【図 6】

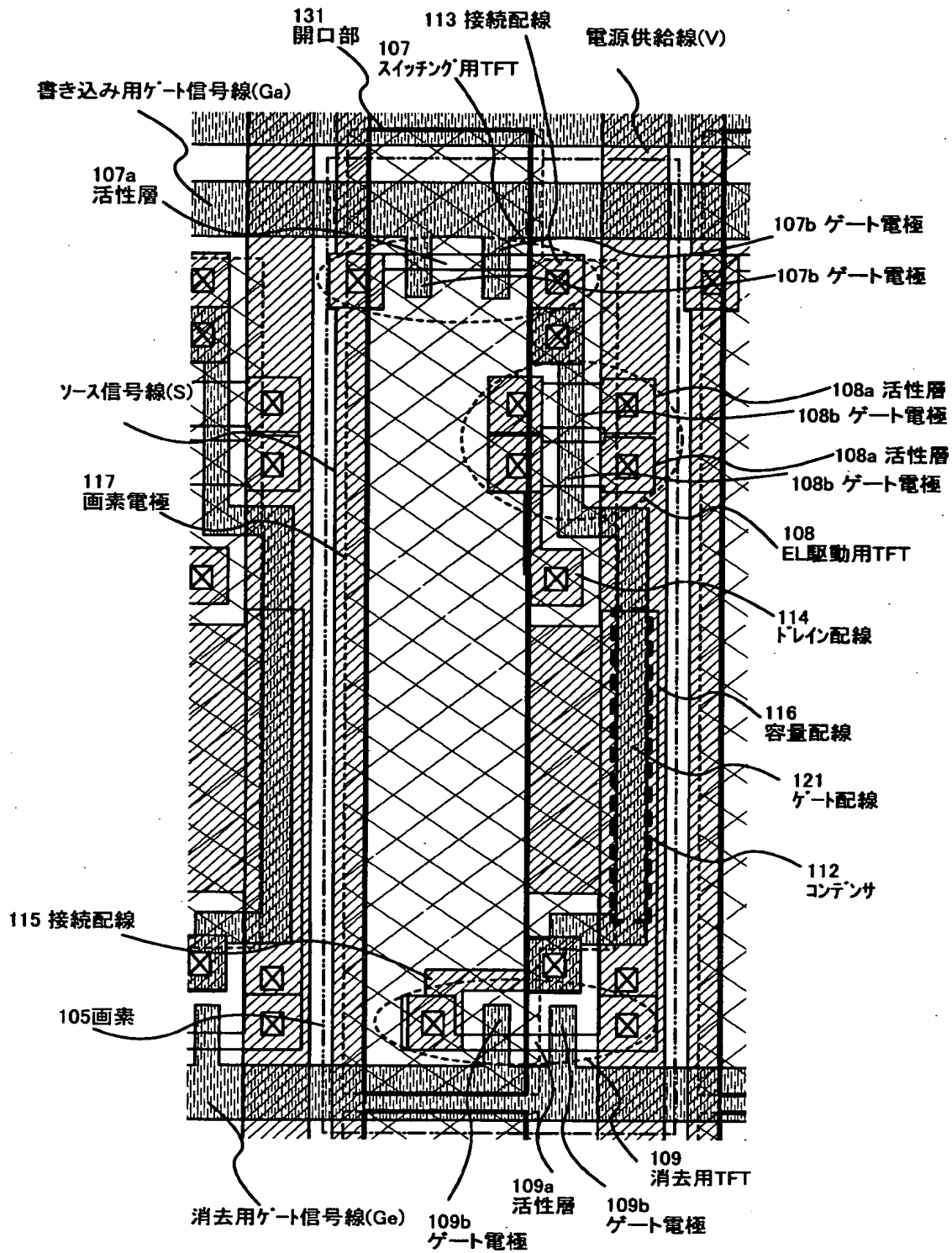


【図 7】

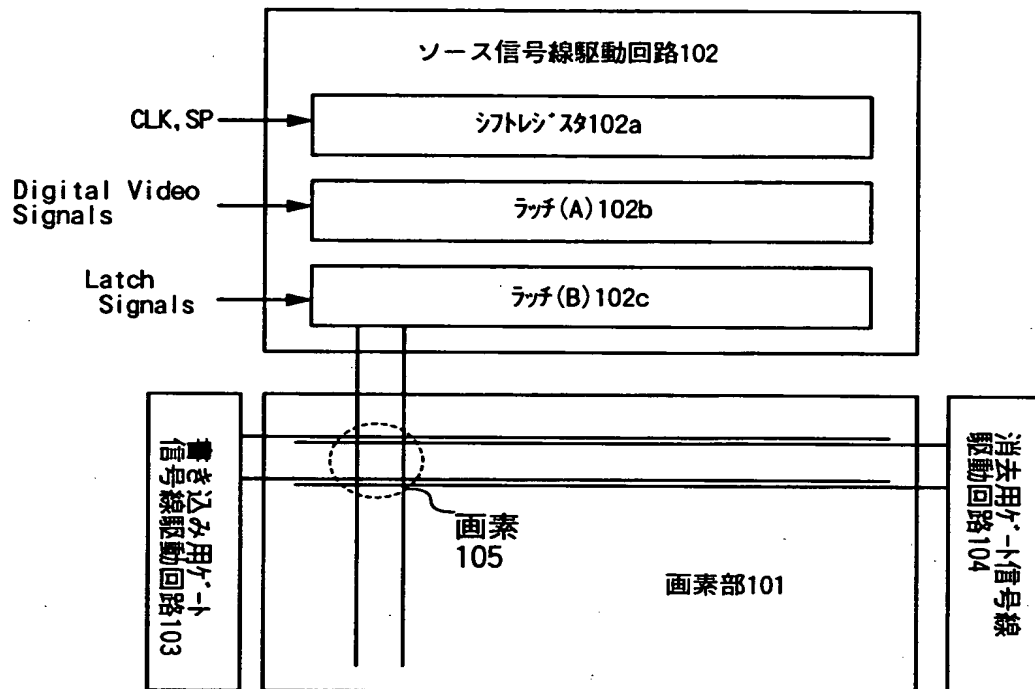




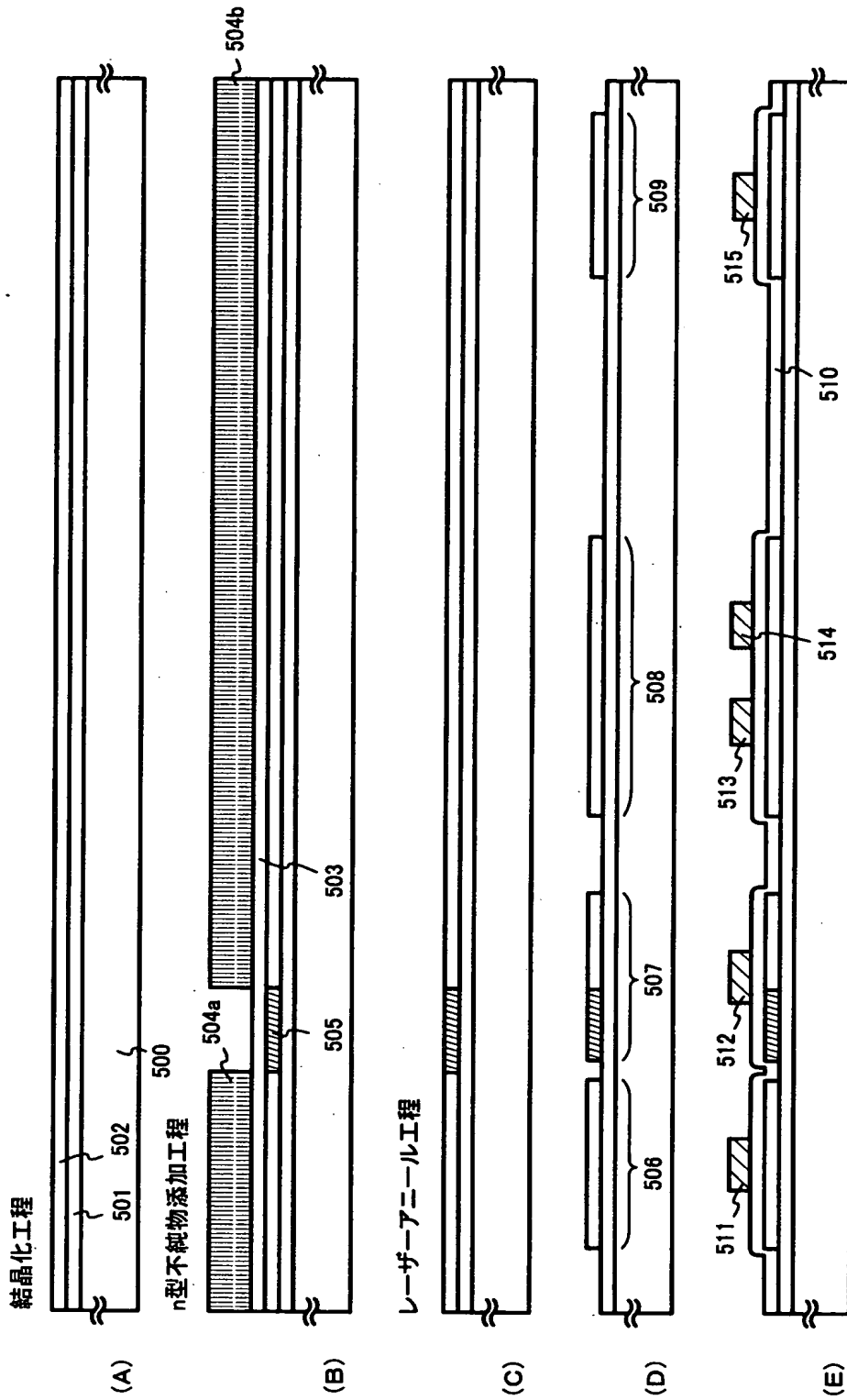
【図 8】



【図 9】

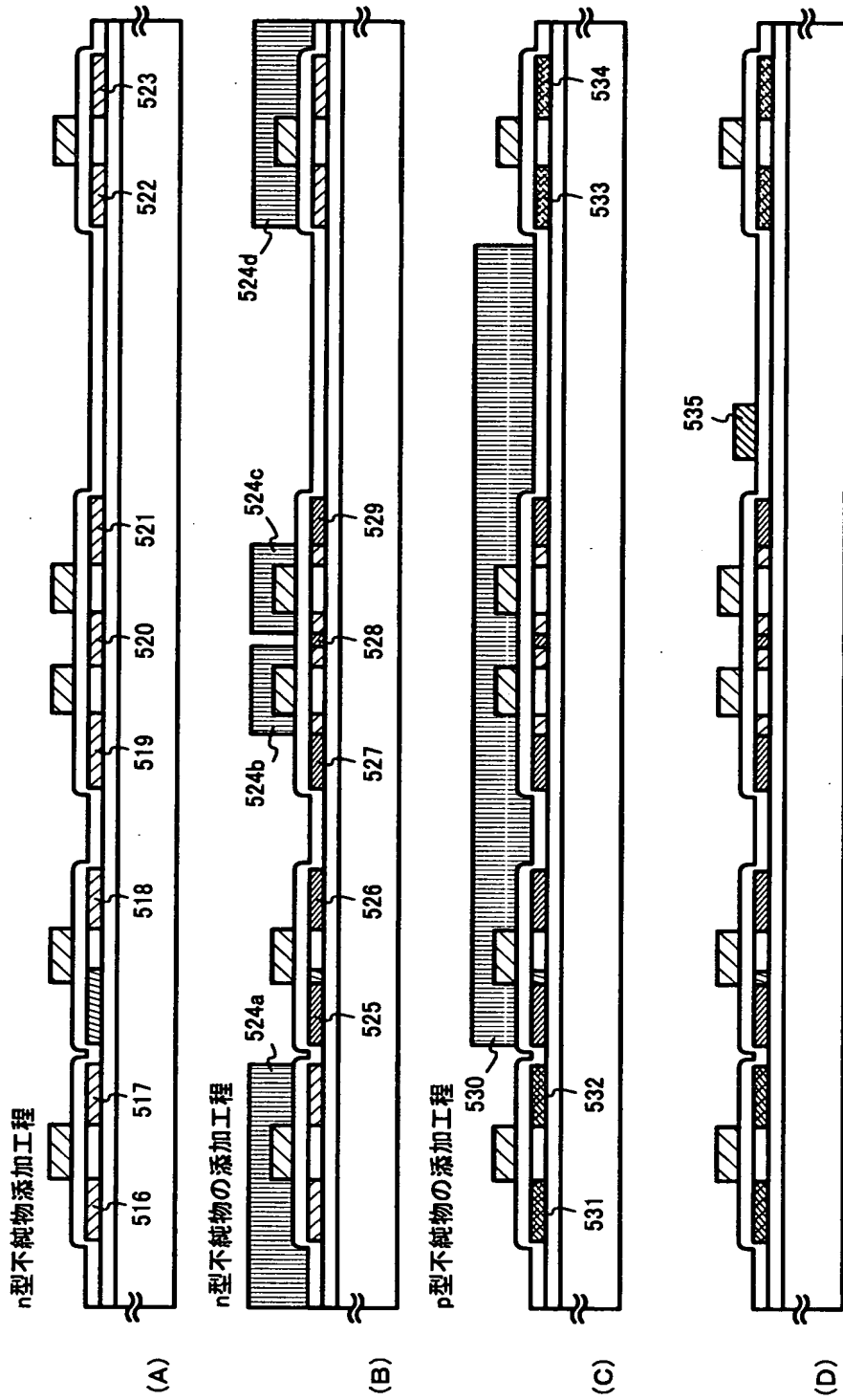


【図 1 0】

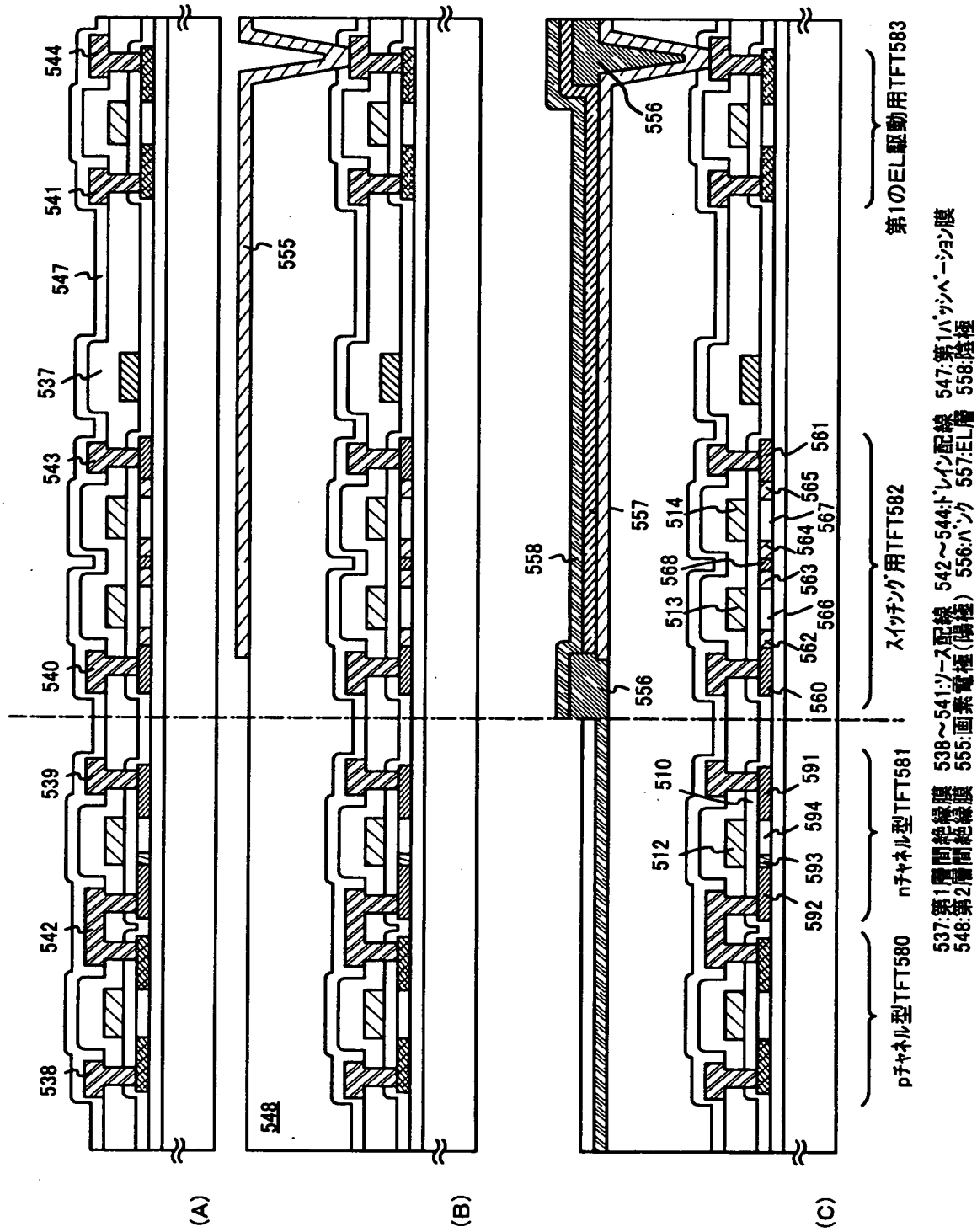


500:ガラス基板 501:下地膜 502:ポリシリコン膜 503:保護膜 504a, 504b:レジストマスク  
505:n型不純物領域(b) 506~509:活性層 510:ゲート絶縁膜 511~515:ゲート電極

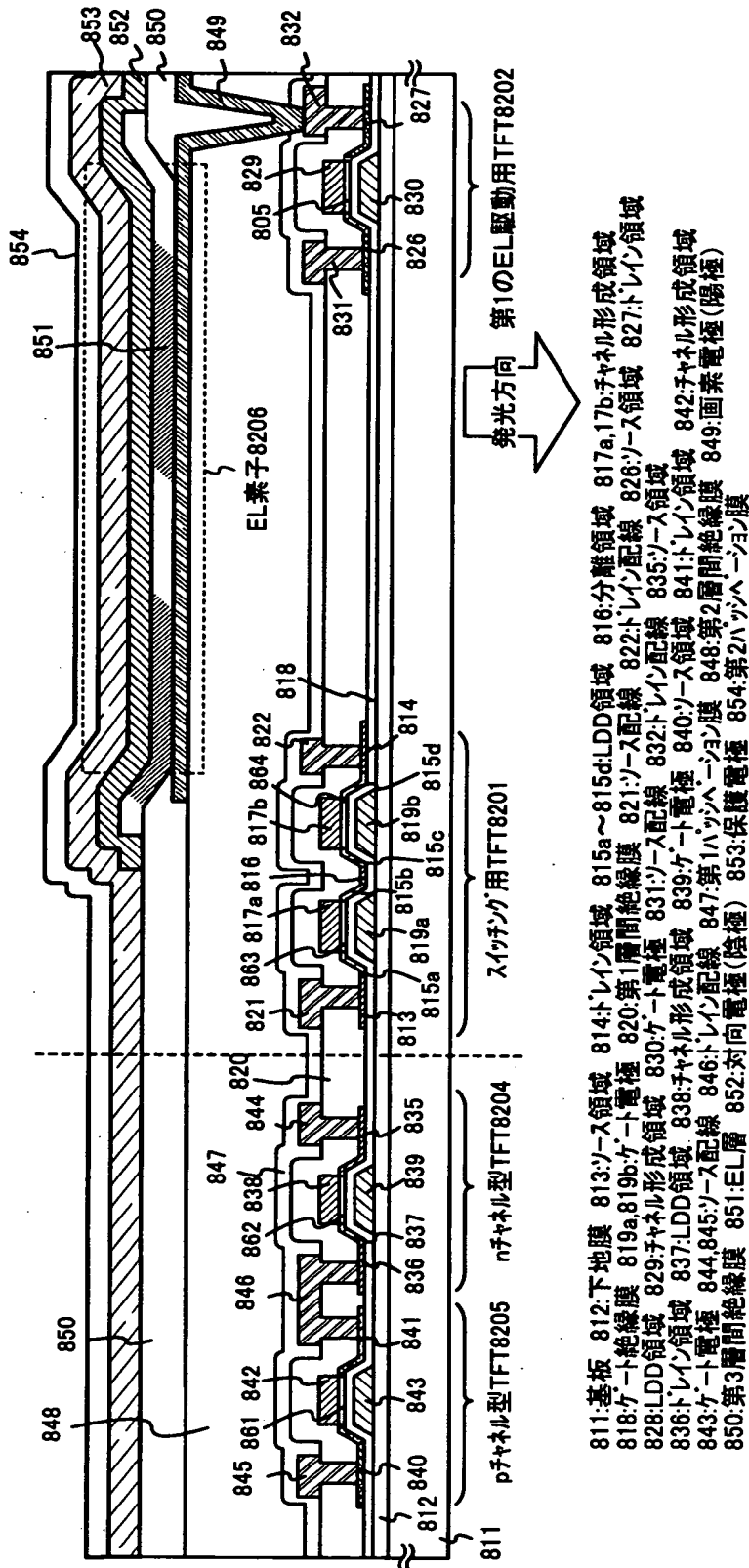
【図 1 1】



【図 12】

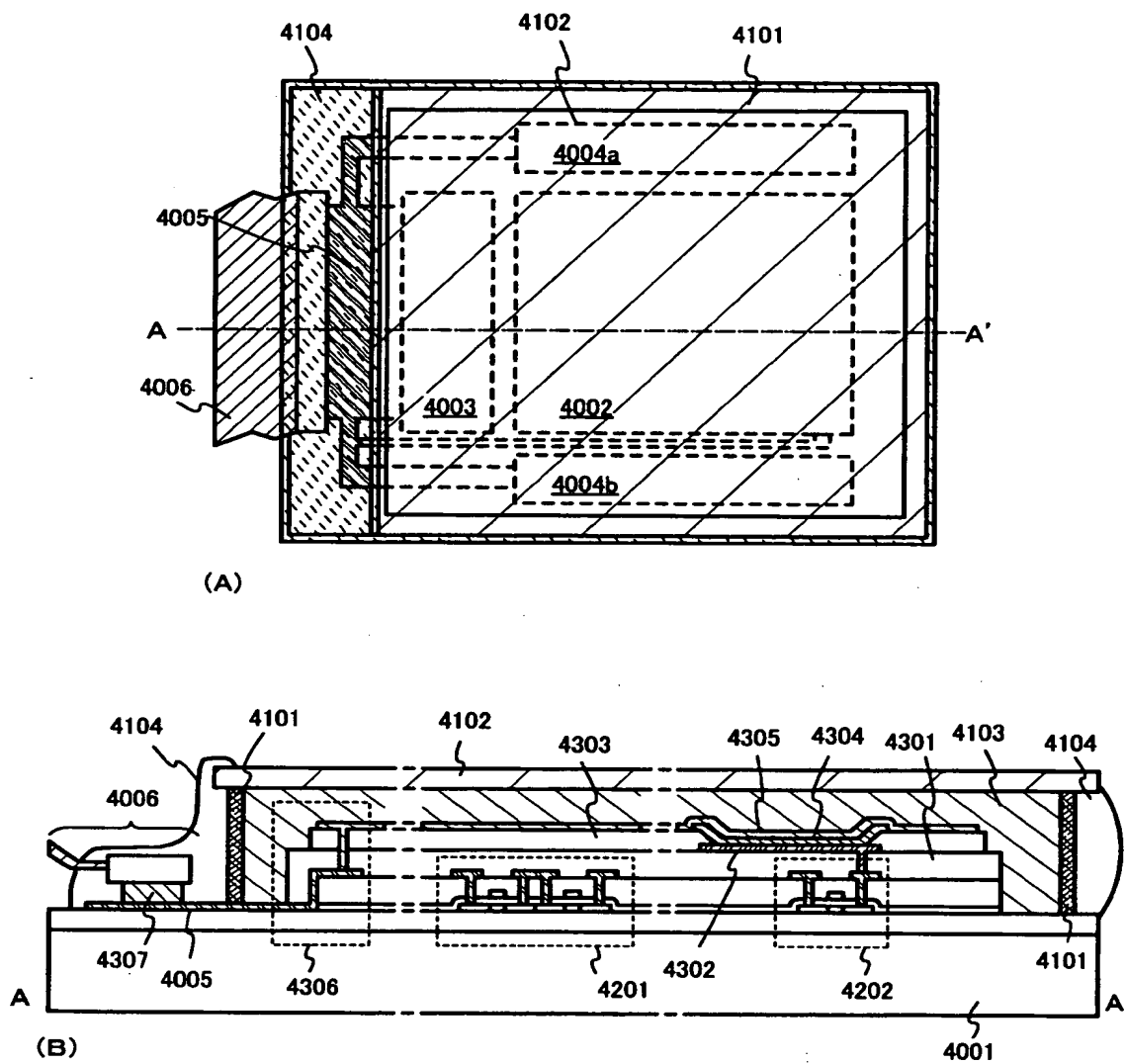


【図 13】



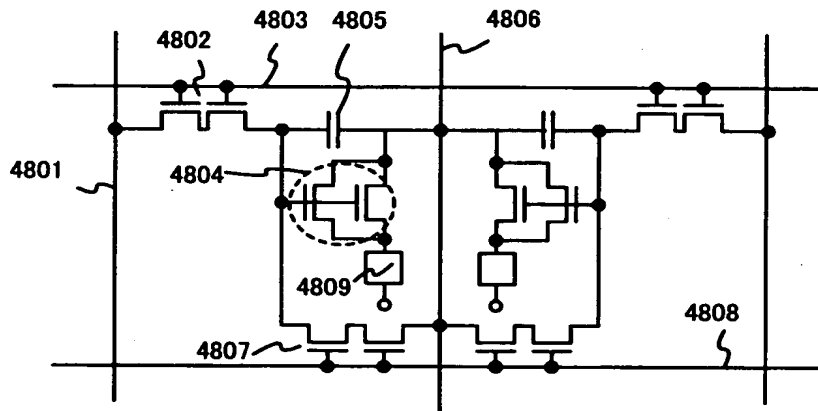
811: 基板 812: 下地膜 813: ソース領域 814: ドレイン領域 815a~815d: LDD領域 816: 分離領域 817a, 17b: チャネル形成領域  
 818: ゲート絶縁膜 819a, 819b: ゲート電極 820: 第1層間絶縁膜 821: ソース配線 822: ドレイン配線 823: ソース領域 824: ドレイン領域  
 825: LDD領域 826: チャネル形成領域 827: ゲート電極 828: 第2層間絶縁膜 829: チャネル形成領域 830: ゲート電極 831: ソース配線 832: ドレイン配線 833: ソース領域 834: ドレイン領域  
 835: LDD領域 836: チャネル形成領域 837: ゲート電極 838: 第3層間絶縁膜 839: チャネル形成領域 840: ゲート電極 841: ソース配線 842: ドレイン配線 843: ソース領域 844: ドレイン領域  
 845: LDD領域 846: チャネル形成領域 847: 第4層間絶縁膜 848: 基板 849: チャネル形成領域 850: 第5層間絶縁膜 851: EL層 852: 対向電極(陰極) 853: 保護電極 854: 第2ハッチペーシェン膜

【図 14】

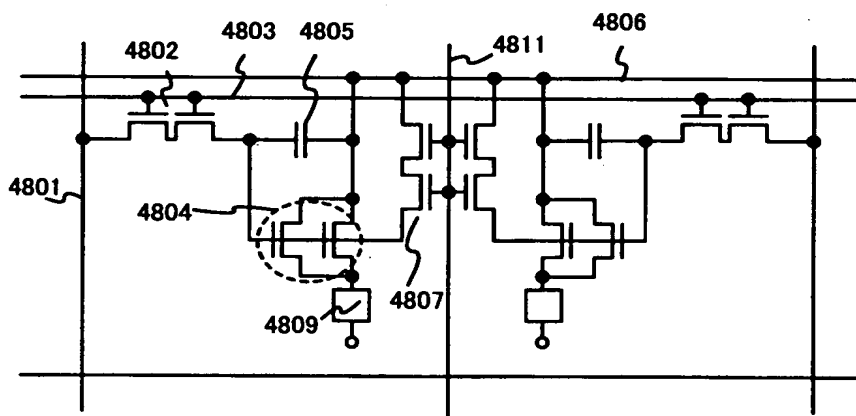


【図 1 5】

(A)

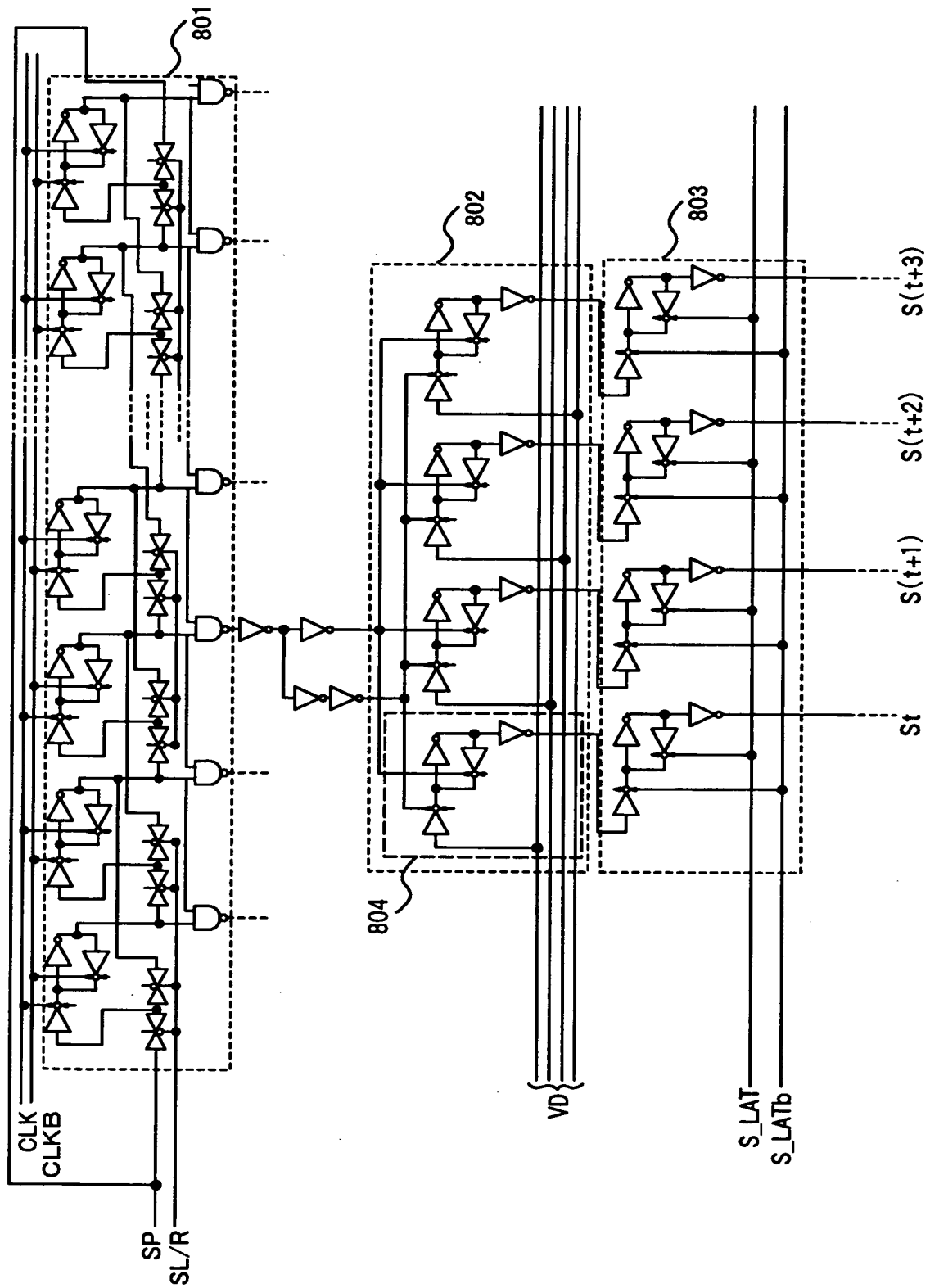


(B)

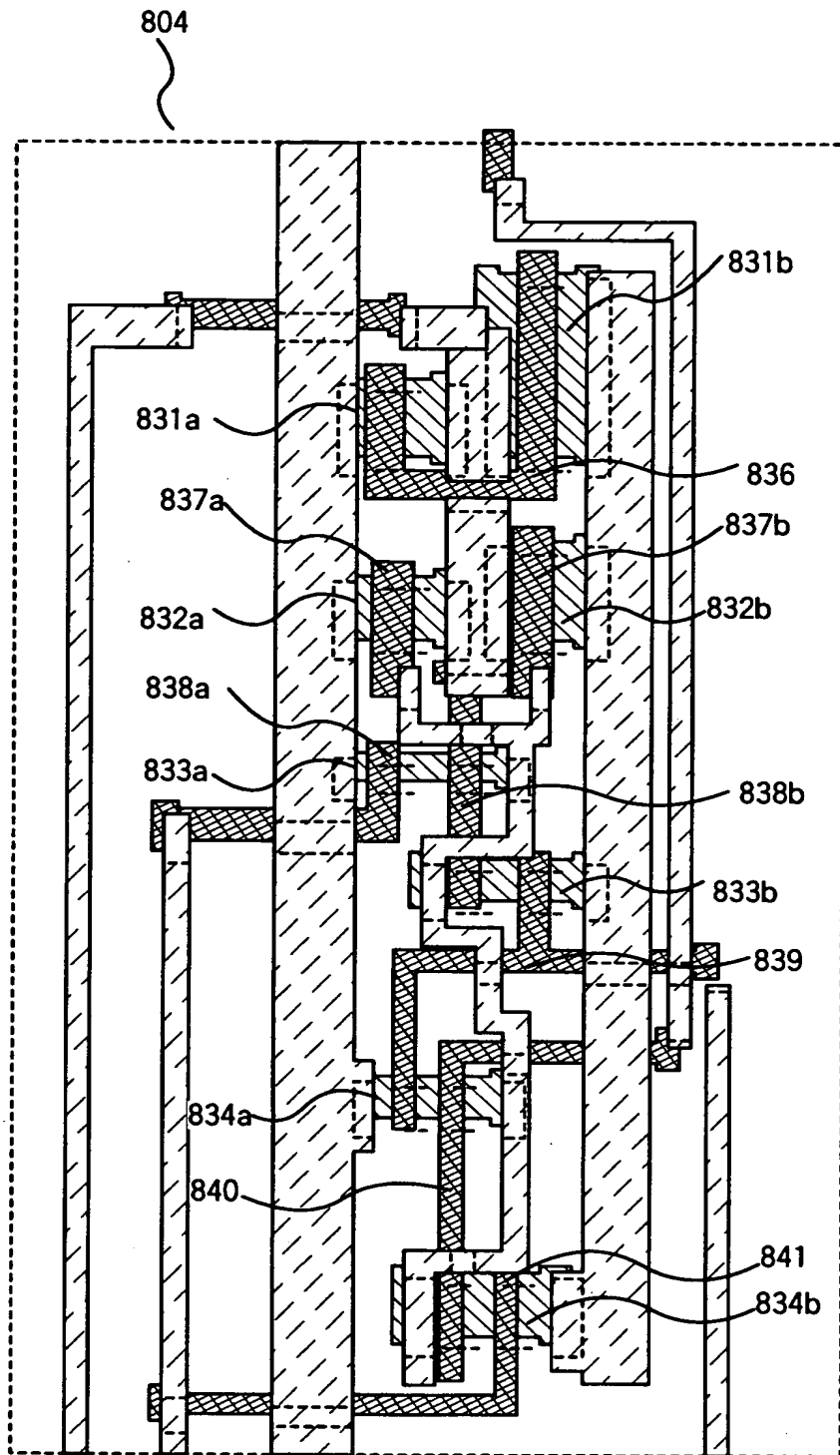




【図 16】

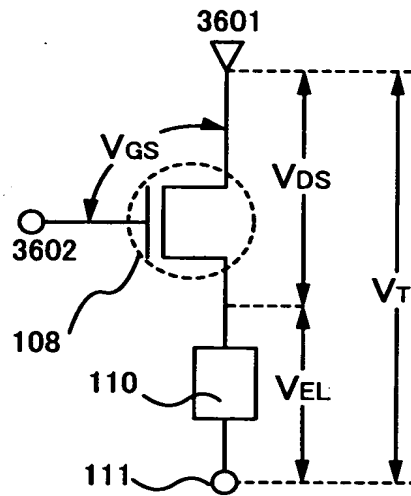


【図 17】

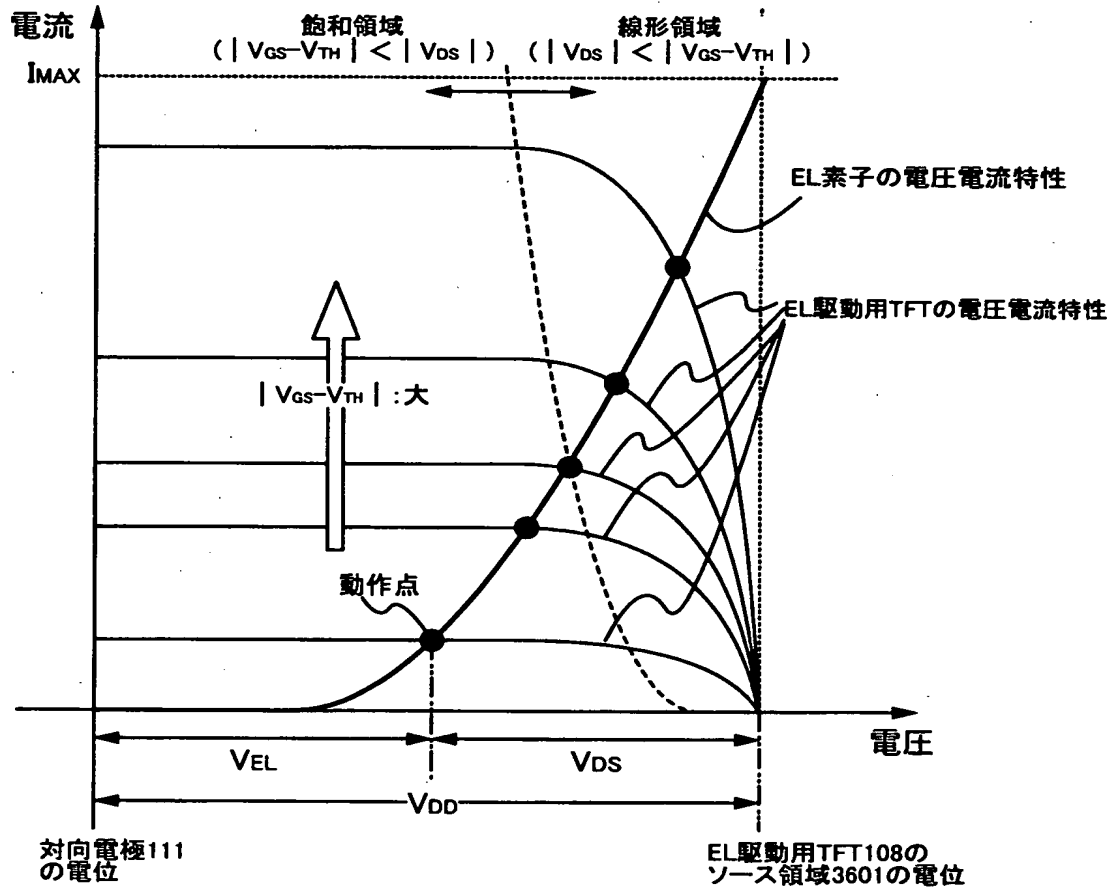


【図 18】

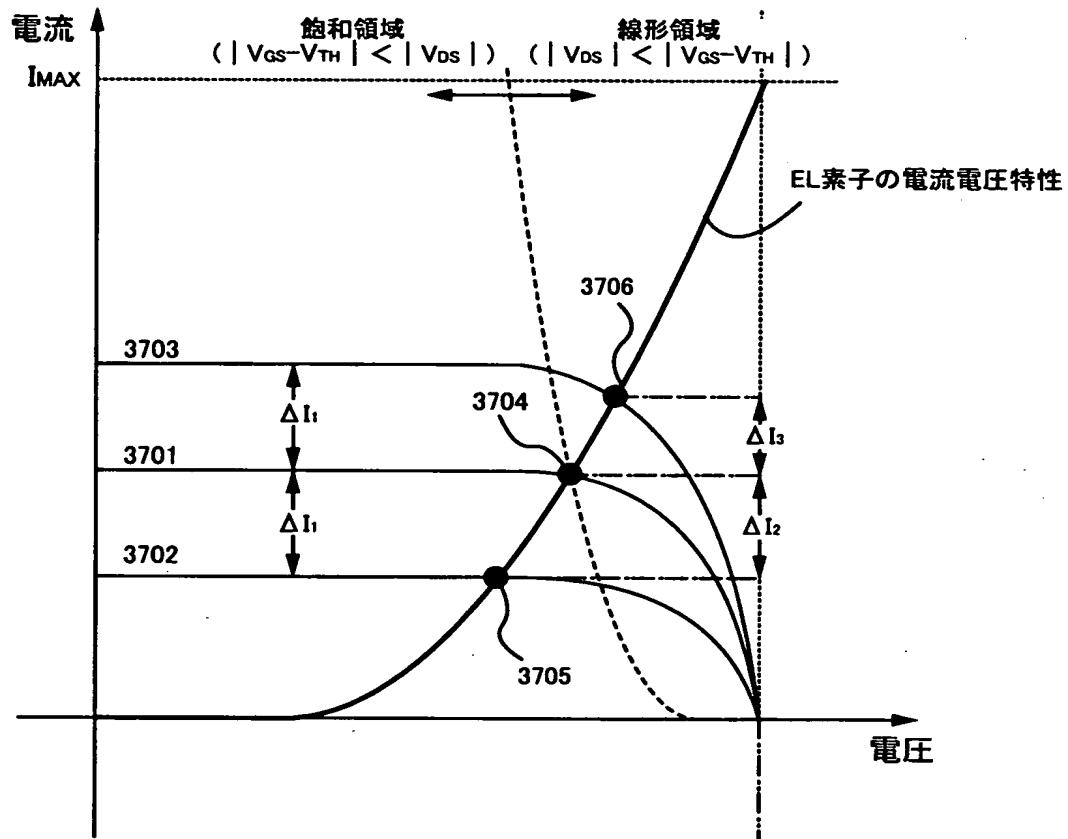
(A)



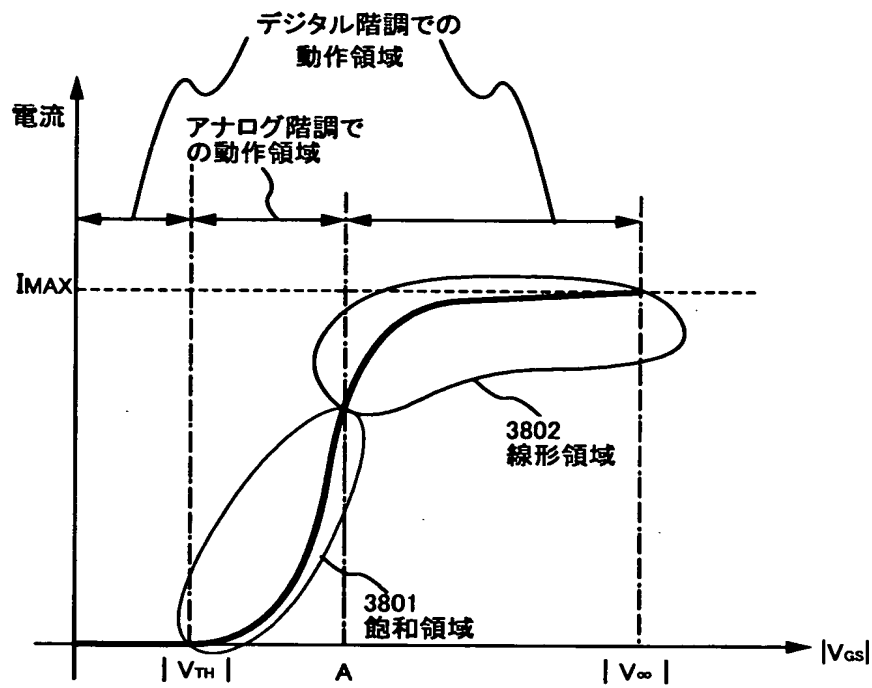
(B)



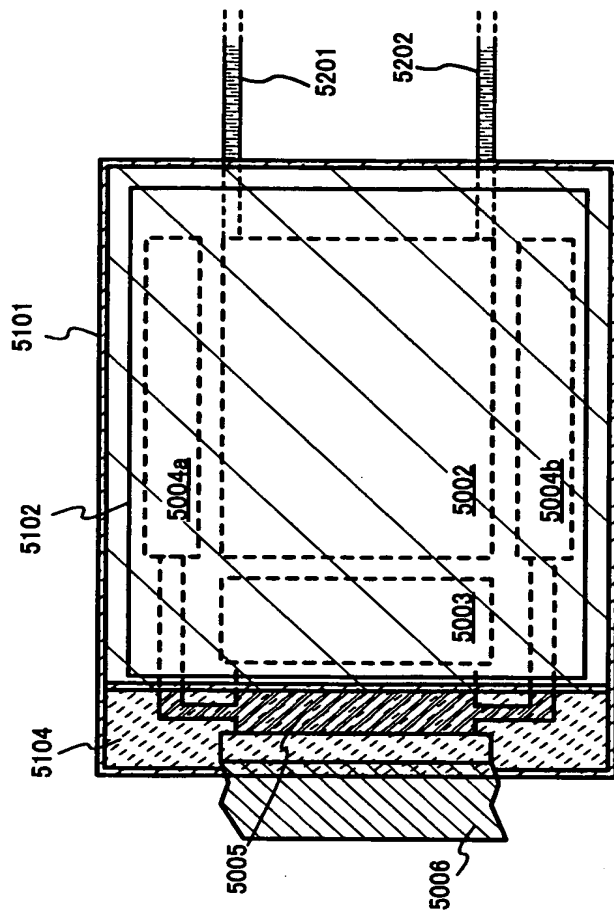
【図 1 9】



【図 2 0】

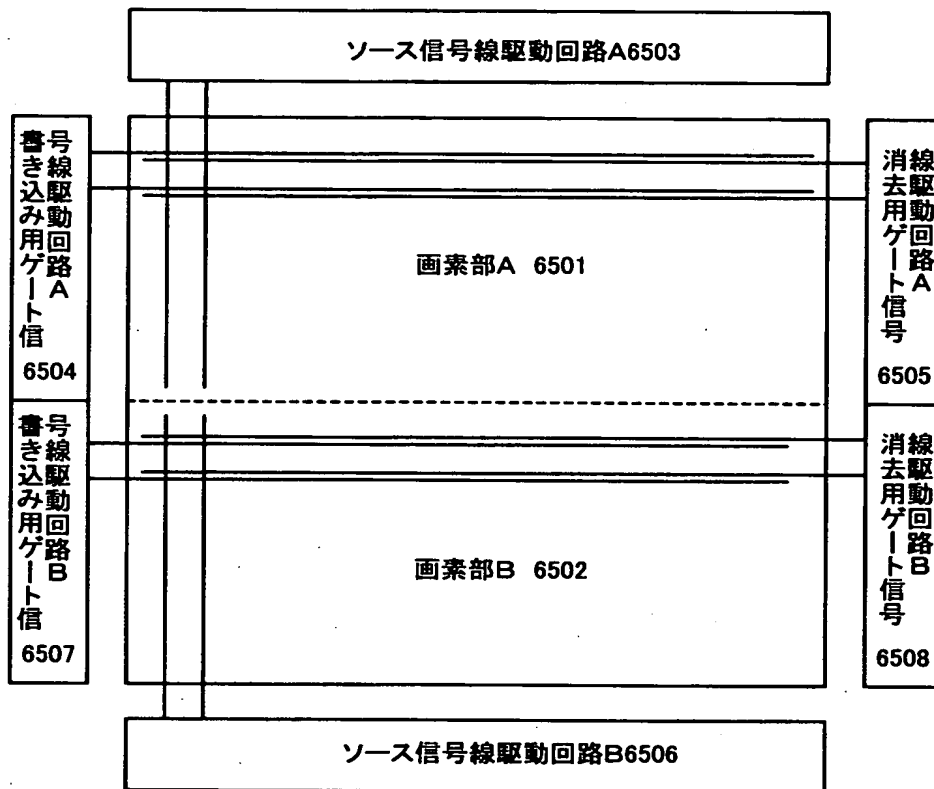


【図 2 1】

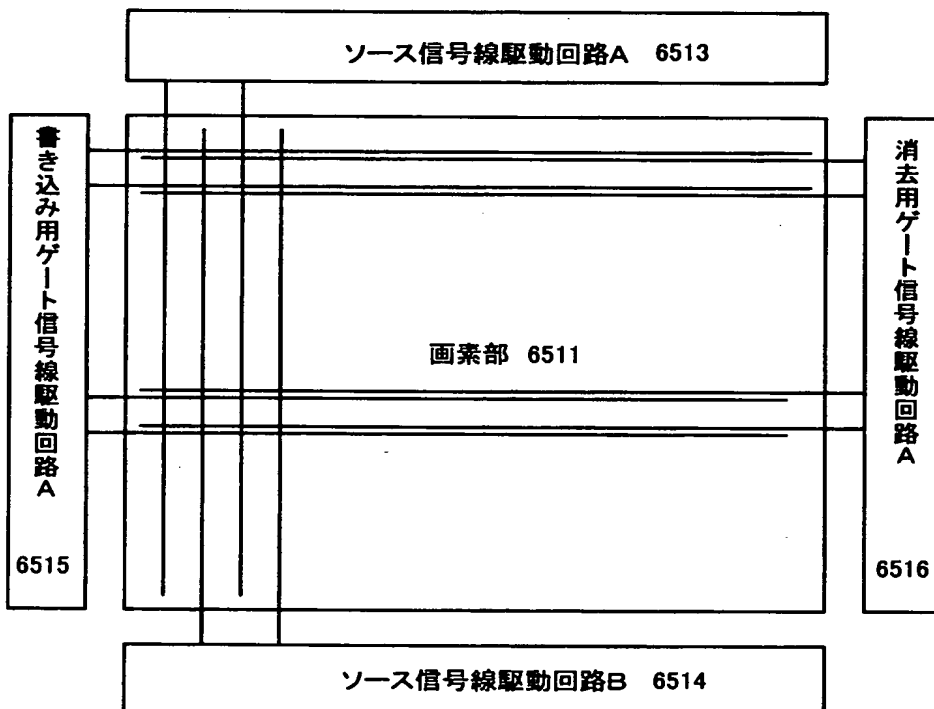


【図 2 2】

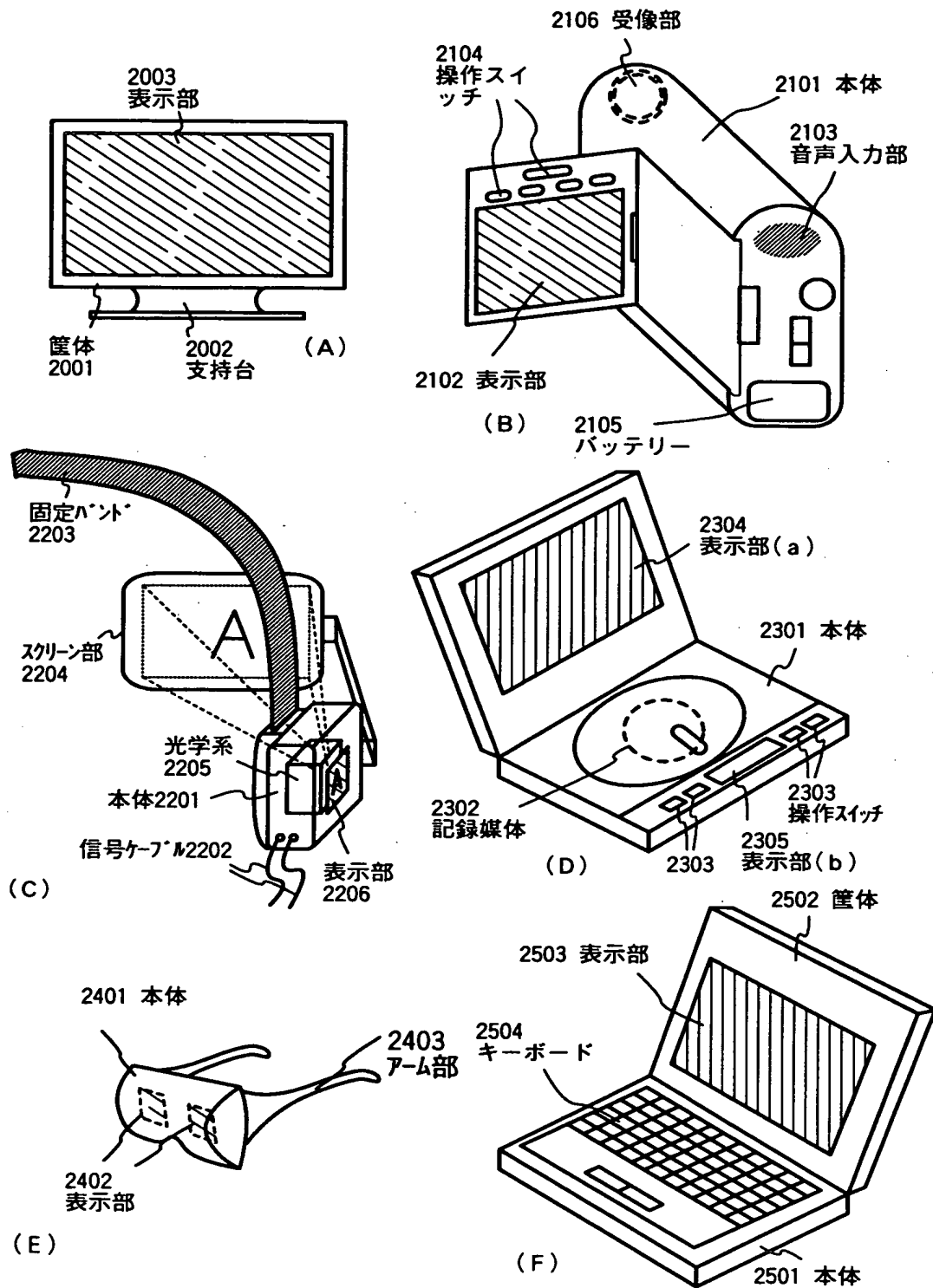
(A)



(B)

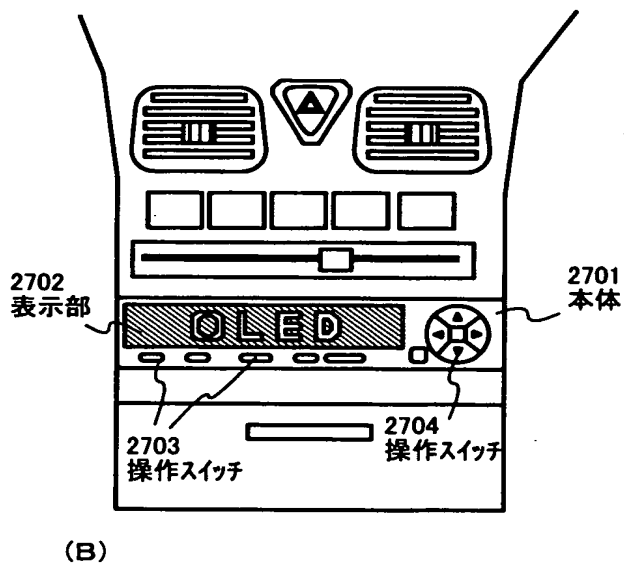
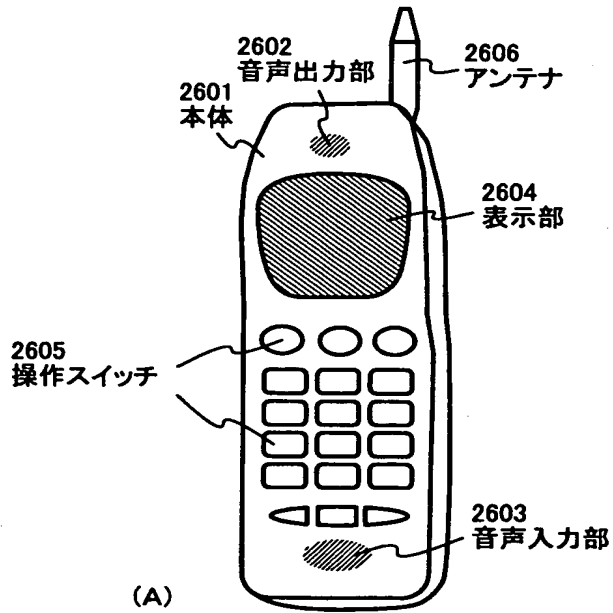


【図 23】

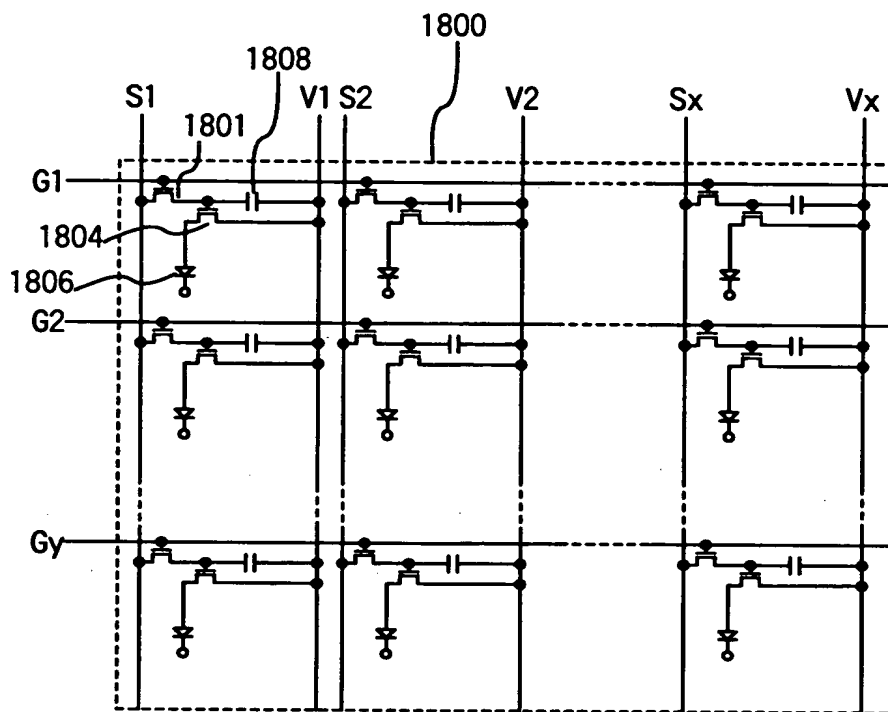




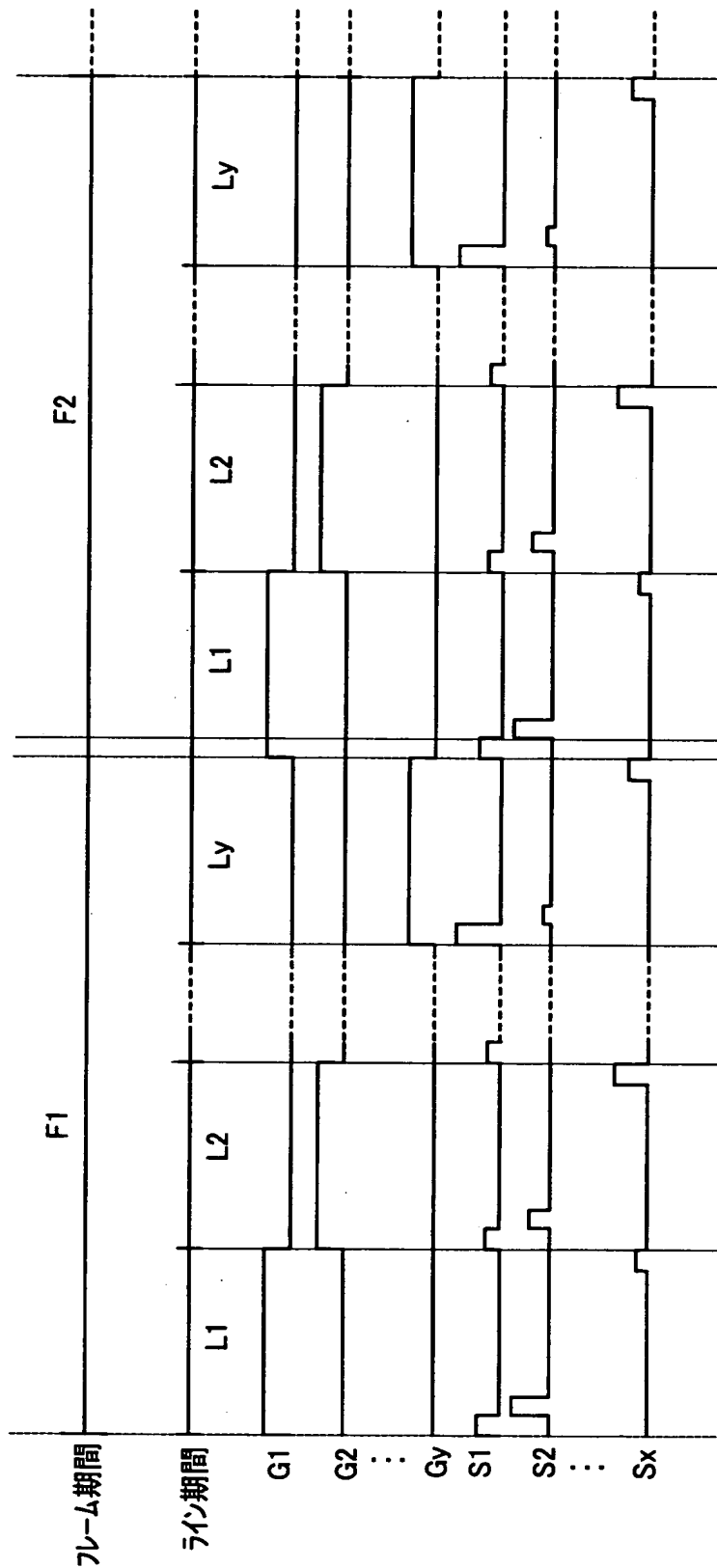
【図 2 4】



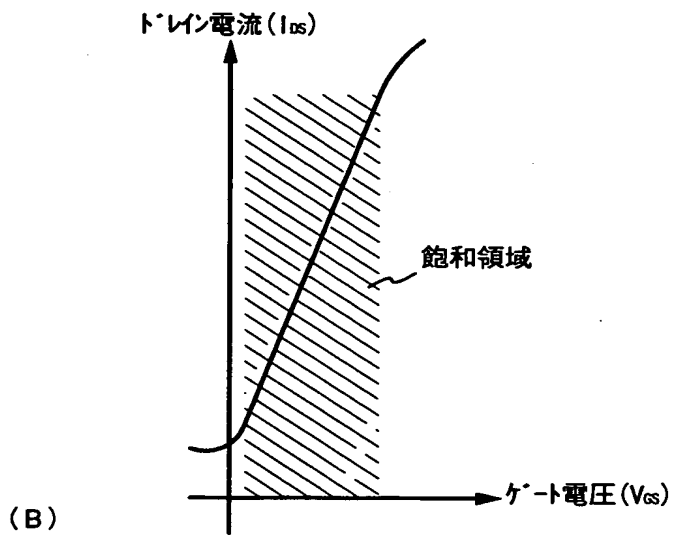
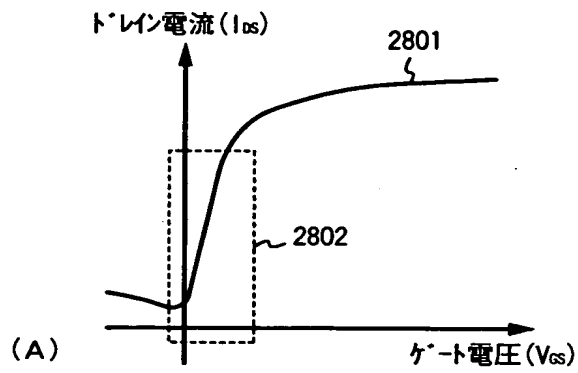
【図 2 5】



【図 26】



【図 27】



【書類名】 要約書

【要約】

【課題】 鮮明な多階調カラー表示の可能なアクティブマトリクス型の電気光学装置を提供する。

【解決手段】 画素部とを有する電気光学装置であって、前記画素部は複数の画素を有しており、前記複数の画素は、E L素子と、第1のE L駆動用T F Tと、第2のE L駆動用T F Tと、スイッチング用T F Tと、消去用T F Tとをそれぞれ有し、前記第1のE L駆動用T F Tと前記第2のE L駆動用T F Tは並列に接続されていることを特徴とする電気光学装置。

【選択図】 図3

出 願 人 履 歴 情 報

識別番号 [000153878]

1. 変更年月日	1990年 8月17日
[変更理由]	新規登録
住 所	神奈川県厚木市長谷398番地
氏 名	株式会社半導体エネルギー研究所